

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11305416 A**

(43) Date of publication of application: 05 . 11 . 99

(51) Int. Cl.

**G03F 1/08  
H01L 21/027**(21) Application number: **10108960**(71) Applicant: **HITACHI LTD**

(22) Date of filing: 20 . 04 . 98

(72) Inventor: **OKAMOTO YOSHIHIKO****(54) METHOD FOR PRODUCING SEMICONDUCTOR  
DEVICE AND METHOD FOR PRODUCING  
PHOTOMASK**

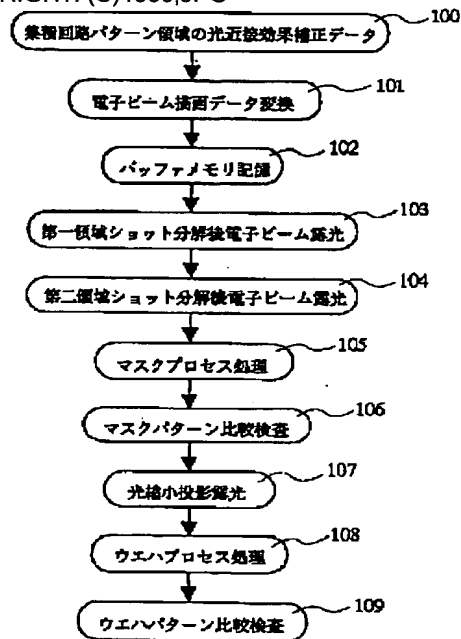
and easily inspected.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To produce a photomask which has no defect, where the distortion of a transfer pattern is reduced and whose superposing accuracy is high by distorting the stage coordinate systems of a plotting device and an inspecting device by a specified amount and comparing and inspecting patterns respectively formed in a pair of areas on the same photomask base plate.

**SOLUTION:** By performing the correction of an optical proximate effect to the design data of a semiconductor device (100), the data are converted into pattern data for electron beam plotting (101), and an integrated circuit pattern and a correction pattern are plotted on the mask base plate. In such a case, after the pattern data of a pair of rectangular areas are stored in a buffer memory (102), the pattern data are read out and shot-resolved, and each pattern data are plotted in a pair of rectangular areas (103 and 104), so that the photomask is produced (105). Thus, the patterns actually formed are compared to inspect the outside appearance of the pattern (106). The quality of the outside appearance of the integrated circuit pattern is surely



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-305416

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>6</sup>  
G 0 3 F 1/08  
H 0 1 L 21/027

識別記号

F I  
G 0 3 F 1/08 A  
D  
H 0 1 L 21/30 5 0 2 P

審査請求 未請求 請求項の数13 O L (全 33 頁)

(21) 出願番号 特願平10-108960

(22) 出願日 平成10年(1998)4月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 岡本 好彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

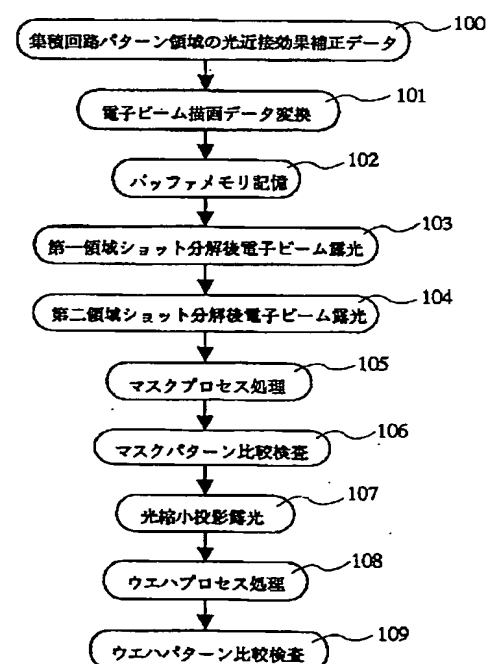
(54) 【発明の名称】 半導体装置の製造方法及びフォトマスクの製造方法

(57) 【要約】

【課題】 半導体装置のリソグラフィ工程において、縮小投影露光装置に起因する投影歪みを補正してパターン形成を行う。

【解決手段】 縮小投影露光装置に起因するパターン歪みのうち、パターンの位置ずれに関してはマスクパターン描画時に描画装置のステージ座標をウエハ上の歪みと逆方向に歪ませたパタンを描画することで、パターンの寸法形状の歪みに関してはマスクパターンに補正用のパターンを付加または削除することで補正して、パターン形成する。

図 1



## 【特許請求の範囲】

【請求項1】縮小投影露光装置を用い、フォトマスク基板上に形成されたパターンを露光して半導体ウエハにパターンを形成するためのフォトマスクの製造方法であって、前記フォトマスクの第1および第2の領域には、各々半導体集積回路のパターンを構成する回路パターンデータに対応して、前記パターン幅の1/3程度以下の縮小投影露光によるパターン寸法歪みまたはパターン形状歪みを補正するための補正パターンデータを作り、それらを合成して第1および第2の領域に順次露光してパターンを形成し、前記第1および第2の領域のパターンを外観比較検査することを特徴とするフォトマスクの製造方法。

【請求項2】縮小投影露光装置を用い、フォトマスク基板上に形成されたパターンを露光して半導体ウエハにパターンを形成するためのフォトマスクの製造方法であって、各々半導体集積回路のパターンに対応して、透過光の位相が互いに反転する光透過領域を有し前記透過光同志の光の干渉を用いて前記半導体ウエハにパターンを結像するためのパターンデータを作製し、前記フォトマスクの第1および第2の各々の領域に、透過部に位相反転境界のあるパターンまたは前記回路パターン幅の1/3程度以下の位相反転パターンを順次露光して形成し、前記第1および第2の領域のパターンを外観比較検査することを特徴とするフォトマスクの製造方法。

【請求項3】フォトマスクに形成されたパターンを縮小投影露光装置を用いて半導体ウエハ上に露光する工程を有する半導体装置の製造方法であって、前記縮小投影露光装置の光学系又は照明形態に起因して生じる前記半導体ウエハ上の投影パターンのパターンの位置ずれ量を予め求め、前記位置ずれ量に応じて前記フォトマスクのパターンを描画する際にパターン描画装置のステージ座標をシフトさせて描画することにより、前記半導体ウエハ上で生じるパターンの位置ずれを緩和することを特徴とする半導体装置の製造方法。

【請求項4】フォトマスクに形成されたパターンを縮小投影露光装置を用いて半導体ウエハ上に露光する工程を有する半導体装置の製造方法であって、前記縮小投影露光装置の光学系又は照明形態に起因して生じる前記半導体ウエハ上の投影パターンのパターンの位置ずれ量を予め求め、前記位置ずれ量に応じて前記フォトマスクのパターンを描画する際にパターン描画装置のステージ座標をシフトさせて描画することにより、前記半導体ウエハ上で生じるパターンの位置ずれを緩和し、前記投影露光装置の光学系又は照明形態に起因して生じる前記半導体ウエハ上の投影パターンのパターン形状又は寸法形状の歪みを予め予測し、前記寸法形状の歪みを緩和するためにフォトマスクパターンを歪ませて描画することを特徴とする半導体装置の製造方法。

【請求項5】請求項4に記載の半導体装置の製造方法に

において、さらにフォトマスクを検査する工程を有し、前記パターン描画工程でステージをシフトさせて描画した部分に対しては、マスク検査装置の位置座標を同様にシフトさせて検査することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】請求項4に記載の半導体装置の製造方法において、さらにフォトマスクを検査する工程を有し、前記パターン描画工程で前記パターン寸法形状歪みを考慮して補正パターンを付加又は削除した部分に対しては、マスクパターン描画時に前記フォトマスクに同様のパターンを形成しておき、比較検査を行うことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】前記パターン寸法形状歪みの補正パターンは、前記投影露光装置に起因して歪みが大きく生じることが予想されるパターン配置を限定し、該パターン配置を有する部分を回路パターンデータから抜き出して前記補正パターンを付加あるいは削除することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項8】前記投影露光装置に起因して歪みが大きく生じることが予想されるパターン配置は、ラインアンドスペースパターンであり、補正パターンは前記ラインアンドスペースパターンの端部パターンに付加あるいは削除されること特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】半導体装置を製造するためのホトリソグラフィ工程で用いるフォトマスクの製造方法であって、

(a) 縮小投影露光装置を用いて、フォトマスク基板上に形成したパターンを半導体ウエハに縮小投影した転写パターンの位置座標の設計データからの相対位置誤差を求める工程と、(b) 回路パターンを構成するパターンデータと、縮小投影露光によるパターン寸法歪み又はパターン形状歪みを補正するための補正パターンデータを作成する工程と、(c) マスクパターン描画装置のステージ座標を前記相対位置誤差を低減するように補正してパターンを描画する工程と、(d) マスクパターン描画時にパターン描画装置のステージ座標を補正して描画した部分に対しては、マスク検査の際、検査装置のステージ座標を補正して外観欠陥検査を行う工程と、(e) 前記検査により、欠陥が見つかった場所を修正する工程、とを有することを特徴とするフォトマスクの製造方法。

【請求項10】前記パターン描画時のステージ座標補正量と検査時のステージ座標補正量は、理想格子点からの誤差量であることを特徴とする請求項9に記載のフォトマスクの製造方法。

【請求項11】前記パターン描画装置およびパターン検査装置のステージ座標の補正は、前記縮小投影露光装置の光学系の転写領域に対応したフォトマスク面を5mmから20mm程度の等間隔にメッシュ分割し、各メッシュ内の一点を代表点として、x、y補正量を設定し、メッシュ間の補正量とで直線近似または曲線近似して、マ

スク面内について補正することを特徴とする請求項10に記載のフォトマスクの製造方法。

【請求項12】集積回路パターンをフォトマスク基板上に露光するマスク描画装置であって、フォトマスク基板上に集積回路パターンを描画する際に、描画装置のマスクを搭載したステージ座標に関して、ステージ上の2次元座標位置に対応して、複数の2次元の位置座標補正用マップを有し、前記補正用マップの1つにより、前記集積回路パターンの位置座標データに対し、補正処理し、パターン描画する機能を備えたことを特徴とするマスク描画装置。

【請求項13】集積回路パターンをフォトマスク基板上に形成したマスクの外観または位置座標の検査装置であって、前記マスクを搭載したステージ座標に関して、ステージ上の2次元座標位置に対応して、複数の2次元の位置座標補正用マップを有し、前記補正用マップの1つにより、前記集積回路パターンの外観または位置座標を検査する機能を備えたことを特徴とするマスク検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光縮小投影露光を用いて集積回路パターンを形成する半導体装置の製造方法に関し、特にフォトマスクに対し、変形（斜め）照明、光近接効果補正パターンの追加、露光光に位相差を与える位相シフト手段の追加などにより、露光波長と同等、またはそれ以下の微細なレジストパターンを形成する半導体装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の微細化が進み、回路素子や配線の設計ルールがサブミクロン・オーダーになると、i線（波長365nm）などの光を使用してフォトマスク上の集積回路パターンを半導体ウエハに転写するフォトリソグラフィ工程では、パターン転写精度の低下が深刻な問題となっている。このような問題を改善する手段として、マスクパターンに対し投影露光によって光強度が低下する個所に微細パターンを付加するか、強調される個所の微細パターン削除することによる光近接効果補正技術、マスクの透過光に位相差を設ける位相シフト技術がある。

【0003】光近接効果補正技術に関しては、例えば伊藤らの「1μmプロセス用フォトマスクパターンの投影歪み補正」日本電子通信学会論文誌1985年5月Vol. J68-CNo5第P325～332には、矩形ホールのコーナ部に微小矩形を付加して転写する光近接効果補正技術が開示されている。上記の光近接補正技術を用いるフォトマスクの検査については、補正パターンの寸法がより微細になり、マスクパターン検査や修正が難しいなどの問題がある。

【0004】位相シフト技術に関しては、例えば特公昭62-59296号公報には、マスク上の遮光領域を挟む一对の光透過領域の一方に透明膜（位相シフト）を設け、上記一对の光透過領域を透過した二つの光の位相を互いに反転させることによって、ウエハ上の二つの光の境界部における光の強度を弱める位相シフト技術が開示されている。

【0005】上記の位相シフト技術に用いるフォトマスクの検査については、より微細なマスク欠陥が転写され、位相シフトのパターン検査や修正が難しいなどの問題が指摘されている。上記検査に関して、例えば、特開平4-321047号公報には、同一装置内で、マスク欠陥を摘出する工程と良品判定する工程とを効率よく行う技術が開示されている。また、光縮小投影露光装置による露光の際、投影レンズの像面湾曲や歪曲収差などにより、転写パターン位置にずれが発生する問題が指摘されており、レンズの収差歪みを低減することが提案されている。一方、この問題に対して、例えば特公昭62-58621号公報には、光縮小投影露光装置により、試料上に複数の露光歪み測定マークを形成し、電子ビーム露光装置にて該露光歪み測定マークの位置を測定することによって、露光歪みの量を予め求めて、該露光歪みに応じて電子ビーム露光する技術が開示されている。また、特公昭61-24231号公報には、光縮小投影露光装置の露光歪みをマスク上で逆補正し、転写パターン歪みを低減する技術が提案されている。

【0006】また、光縮小投影露光装置による露光の際には、レンズの球面収差やコマ収差、非点収差などにより、転写パターンの寸法や形状が歪む現象も生じる。これらの寸法や形状の変化はパターン依存性があり、ラインアンドスペースのような繰り返しパターンの端部で顕著になる。このような収差の影響をなくすための対策について、例えば特開平4-60547号公報には、ラインアンドスペース端部にダミーパターンを加えることが記載されている。また、特開平6-29180には、パターン寸法誤差量をマスクデータの補正量にして歪みを補正する技術が記載されている。

【0007】

【発明が解決しようとする課題】上記の光近接補正技術に用いるフォトマスク（含レチクル）の検査は、補正パターンの寸法を回路パターンの寸法の約1/3以下の寸法に微細化する必要がある、マスクパターン検査や修正が困難となる。また、フォトマスクの透過光に位相差を設けた位相シフトマスクの検査に関しても、位相シフトのマスクパターン検査や修正が難しく、十分な検査や修正がなされていないフォトマスクを用いて縮小投影露光するとウエハ上で転写欠陥となり、半導体装置の製造歩留りを下げる重要問題となる。

【0008】上記特開平4-321047号公報に開示された技術では、光近接補正マスクや透過領域内に位相

シフトのエッジがあるマスクの外観検査が困難である。また、特開平4-345163号公報には3種類のリサイズデータを用いた位相シフトマスクの検査方法が記載されているが、この検査方法は遮光パターンに隣接して、シフトエッジがある自己整合型位相シフトマスクに適用できるが、遮光パターンに隣接しない透過領域内に位相シフトエッジがあるマスクに適用することができない。また、レンズの歪みや収差に起因するパターンの寸法形状誤差は、使用する露光装置、露光条件により、各々異なった値となり、通常のマスク作成方法において、パターンデータを補正することによりマスク上で逆補正を行うことは、現実的でない。

【0009】さらに、現在、半導体装置の製造には、上記の位相シフトマスク、近接効果補正マスクを工程により組合わせて露光が行われている。図32は、位相シフト露光方法と斜方照明露光方法とを比較して、模式的に示したものである。フォトマスク上に形成するそれぞれの集積回路パターンに応じて、投影露光する際のフォトマスク面への露光光の照明条件を最適に合せることが必要となることを示したものである。集積回路パターンに応じて照明条件を変えることによって、フォトマスク面から半導体ウエハ上への光路に差が生じ、転写されるパターンに位置歪みが発生する要因となる。同じ光縮小投影露光を用いても、縮小倍率の変更、ステップとスキャナーとの露光方式の差により、転写パターン位置の差が問題となる。

【0010】前記のパターン位置歪みに関して、特公昭61-24231号公報記載のように前記マスク基板上に形成する回路パターンを逆補正して歪ませる方式を実際の集積回路パターンに適用すると、従来技術ではマスクパターンの外観検査が、実質的に不可能となることが判明した。半導体装置用マスクの製造技術では、マスク上に形成する集積回路パターンデータは基本回路素子パターンを一次セルと定義し、その二次元配列を二次セル、他の二次セルを含む2次配列を三次セルなどと複数の階層データ構造としている。図33は、階層構造による集積回路データの構成の一例を示したものである。マスクデータに変換されると、基本回路素子パターンは、幅と長さ座標から決まる矩形などの図形データにマスク描画時のビームショット条件が付加されたデータの集まりとなる。データに階層構造を持たせると、大規模の集積回路パターンについてもデータ量を大幅に小さくできる。

【0011】光近接効果補正用の補正パターンを形成したマスクや位相シフトが形成されたマスクを、上記のマスク製造技術を用いて製造する際に、上記露光歪みをマスク上のパターンで逆補正しようとする、フォトマスク基板上の位置座標に対応して、パターンデータの位置座標を歪ませる必要があり、そのための処理は極めて複雑になる。パターンデータの位置座標を歪ませる処理を

しても、前記の階層構造を維持しつつづけることができるようにしないと描画データへの変換処理に膨大な時間がかかり、実現性がないものとなる。また、フォトマスク上に形成したパターンを集積回路パターンの設計データと比較しての外観検査ができなくなる。外観検査ができないフォトマスクを投影露光に適用すれば、露光時の欠陥転写を防ぐことが出来ない。

【0012】さらに、光近接効果補正の補正パターンを用いたマスクでは一部の補正パターンとして微小な矩形パターンが形成されている。フォトマスク上に形成する回路パターンが微細化されるに伴い、パターン欠陥、付着異物などの異常部摘出が困難になるという問題が発生する。ここで問題とするマスクパターン欠陥としては、描画パターン異常、プロセス処理の途中にて発生した、遮光膜の欠け、残りであり、付着異物としてはレジストの除去残りなどである。半導体装置は、縮小投影露光により、複数のフォトマスクを用いて、半導体ウエハ上に形成された各層に回路パターンを転写してパターン形成して製造する。従来は、フォトマスク上に形成されたパターンをウエハに転写する際、ウエハ上に形成されるパターンの寸法歪み、形状歪み及び位置歪みを効率よく補正し、マスクパターンの外観検査可能な手法が提案されていなかった。

【0013】本発明は、上記した問題点に着目してなされたものであり、その目的は、光近接効果補正のための補正パターンを付加したマスク、位相シフト技術を適用したマスクなどを用いて、光縮小投影露光を行い回路パターンを形成する半導体装置の製造工程において、転写パターンの投影歪みを低減して半導体ウエハ上に形成する回路パターンの精度を向上させ、欠陥転写を無くする転写技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0014】

【課題を解決するための手段】本発明のパターン形成方法は、縮小投影露光装置の投影歪みを補正して、フォトマスク基板上の集積回路パターンを半導体ウエハ上に転写する半導体装置の製造工程において、転写パターンの寸法歪みまたはパターン形状歪みを補正するために、回路パターンを構成するパターンデータと、各パターンに対し微小パターンを付加または削除した補正パターンデータとを作成し、マスク描画装置で各パターンデータを描画して、マスク上に歪ませたパターンを形成し、転写パターンの寸法歪みまたはパターン形状歪みを低減する第一の投影歪み補正と、投影露光光学系の像面湾曲歪みなどによる転写パターンの投影位置座標の歪みを補正するために、マスク基板を搭載する描画装置のステージ座標において、各位置に対応して所定のベクトル量シフトさせた状態で歪ませたパターンを形成し、転写パターンの投影位置座標の歪みを低減する第二の投影歪み補正と

を行うものである。

【0015】また、前記位置座標の歪みを補正を行ったマスクを検査する際には、マスク検査装置のステージ座標においても、各位置に対応して所定のベクトル量シフトさせた状態で検査を行うものである。マスクの描画装置、検査装置におけるマスク基板の保持方式が同一であれば、それぞれの位置座標のシフト量は同一にできるが、実際にはそれぞれの補正量を与えることになる。

【0016】前記補正を実施する領域は、フォトマスク上に形成する集積回路パターンの矩形領域で、基板上的X軸方向、またはY軸方向に対応して同一の補正を繰り返すもう一つの矩形領域が存在する領域に制限する。補正処理した集積回路パターンを前記マスク上に描画する際は、前記パターン位置歪みを補正するようにフォトマスク基板を搭載するステージ位置座標系を補正した上で、前記矩形領域のパターンデータを電子ビーム描画装置のバッファメモリに記憶しておき、断面形状が図形形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データにショット分解して、フォトマスク基板上の一部の領域に描画し、再度前記パターンデータより、露光データにショット分解して、フォトマスク基板上の他の領域に描画して、フォトマスク基板上に集積回路パターンおよびアライメントマーク等の補助パターンとを形成する。

【0017】前記のパターンを形成したマスク外観検査する際は、前記パターン位置歪みを補正するようにフォトマスクを搭載するステージ位置座標系を補正した上で、前記矩形領域と同じ補正を施したもう一つの矩形領域に対して、形成したパターン間の比較検査を行うことによって、パターン外観検査を行うものである。前記同じ補正を行った一対の矩形領域以外のフォトマスク上のパターンの一部の領域に対しては、フォトマスク上にパターンを形成する基となる設計データとの比較検査によって、パターン外観検査を行う。

【0018】上記の2方式による比較検査の相違箇所は、相違した場所と大きさにより、マスクパターンが実質的に同一となるように修正処理、または付着異物除去処理し、外観品質を確認した上で、マスクの集積回路パターンを縮小投影露光装置を用いて、半導体ウェハ上に露光して、集積回路パターンを形成するものである。これによって、フォトマスクの外観検査が実現可能となる。また、ウェハ上に形成したパターンについても、位置精度が向上するためウェハの外観検査も容易になる。

【0019】また、光縮小投影露光によって、フォトマスク上に形成した集積回路パターンを半導体ウェハ上に露光してパターンを形成する際、フォトマスクの透過光に位相差を設ける位相シフト手段が、透過領域内で位相シフト境界部を形成する処理、または遮光領域内にそれ自体では明像を形成しない微細寸法の補助開口部を形成する処理を前記マスク上の集積回路パターンの矩形単位

領域と、基板上のX軸方向、または、Y軸方向に存在する同様のパターンを有する単位領域に対して行う際に、前記一対の矩形単位領域のパターンデータを電子ビーム露光装置のバッファメモリに記憶しておき、断面形状が図形形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データにショット分解して、フォトマスク基板上の一部の領域に描画することにより、フォトマスク基板上にパターンを形成しておけば、マスク検査で、前記一対の矩形領域のパターン間比較検査によって、パターン外観検査を行うことが可能になる。前記一対の領域以外の領域の回路パターンに対しては、マスクパターンを形成する基となる設計パターンデータとの比較検査によって、パターン外観検査を行う。

【0020】上記の比較検査による相違箇所はパターン修正処理または付着異物除去処理した上で、フォトマスクに光を照射し、透過光同志の干渉を利用して集積回路パターンを半導体ウェハ上に結像しパターン形成するのである。フォトマスク上に形成したパターン同志を比較照合して、異常箇所を摘出することで、微細な光近接効果補正パターンがあるマスク、微細な位相シフトパターンがあるマスクの外観品質の効率よい検査が可能となる。これによって、投影露光の解像度と焦点深度とを増加させ、半導体装置の製造歩留を向上させることができる。

#### 【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0022】（実施例1）図1は本発明の一実施例である半導体装置の製造方法を説明するためのフロー図、図2は図1の半導体装置の製造方法で用いるフォトマスクの全体平面図、図3は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図、図4はフォトマスク上の等間隔配列の基準マークパターンを縮小投影露光により転写し、そのマークパターンの位置誤差を拡大表示した位置座標誤差の一例図、図5は図4の位置座標誤差をフォトマスク上に歪み補正して形成するパターンの補正ベクトルの説明図、図6は図5の位置座標誤差を補正するためのマップ補正方法の説明図、図7は図1の半導体装置の製造方法で用いるマスク描画装置の説明図、図8は図1の半導体装置の製造方法で用いるマスク検査装置の説明図、図9は図1の電子ビーム露光装置の説明図、図10～図11は図9の電子ビーム露光装置の要部の説明図、図12～図19は図1の半導体装置の製造工程における具体的な半導体装置の要部断面図、図20は図12～図19の半導体装置の製造工程におけるフォトリソグラフィ工程を抜き出したフロー図である。

【0023】まず、実施例1の半導体装置の製造方法の露光工程で用いるフォトマスクの構造を図2によって説明する。フォトマスク1は、例えばDRAM (Dynamic Random Access Memory) の集積回路パターンを半導体ウエハ (半導体ウエハ上のフォトレジスト膜; 以下の記載において同じ) に露光する際に用いるものであり、実際の集積回路パターンの5倍の寸法の集積回路パターン原画が形成されたレチクルである。このフォトマスク1に形成された集積回路パターンは後述する縮小投影光学系を通じて半導体ウエハに転写される。

【0024】このフォトマスク1を構成するマスク基板2は、例えば四角形状の透明な合成石英ガラス等からなり、その中央には、例えば長方形の2つのチップ転写領域A、Bが互いの長辺を平行にした状態で並設されている。チップ転写領域A、Bの各々が、1つのDRAMチップの転写分に対応している。チップ転写領域A、Bを2つ配置したのは、スループット向上のためと、フォトマスク1の検査をダイ・トゥ・ダイで行えるためと、一方にダメージが生じて他方が残る可能性があるため等からである。

【0025】このチップ転写領域A、Bは、棒状の遮光帯3 (相対的に濃い網掛けのハッチングで示す) で区画されて形成されている。遮光帯3は、例えばクロム (Cr) 等のような遮光材料によって形成されている。チップ転写領域Aは、メモリ回路領域A11、A12、A21、A22 (相対的に薄い網掛けのハッチングで示す) およびそれらを取り囲む周辺回路領域A00 (斜線のハッチングで示す) で構成され、チップ転写領域Bは、メモリ回路領域B11、B12、B21、B22 (相対的に薄い網掛けのハッチングで示す) およびそれらを取り囲む周辺回路領域B00 (斜線のハッチングで示す) で構成されている。このメモリ回路領域A11、A12、A21、A22、B11、B12、B21、B22は、半導体ウエハ上にメモリ回路形成用のパターンを転写するためのパターンが配置されている。また、周辺回路領域A00、B00には、半導体ウエハ上にDRAMの周辺回路形成用のパターンを転写するためのパターンが配置されている。

【0026】ところで、実施例1においては、例えばフォトマスク1のメモリ回路領域A11に光近接効果補正パターン (以下、単に補正パターンという) が配置されているとする。すなわち、メモリ回路領域 (第1領域) A11は、実際の集積回路パターン以外に補正パターンを追加する補正が行われた矩形単位領域である。メモリ回路領域A11のパターン (集積回路パターンと補正パターンを含む) と同一のパターンを有する領域を同一のフォトマスク1に設けるようにする。すなわち、フォトマスク1にはパターンを同一とする一対の矩形領域が存在する。メモリ回路領域A11のパターン (集積回路パターンと補正パターンを含む) と、例えばメモリ回路領域 (第2領域) A12、A21の一方、または別のチップ転写

領域B内のB11のパターン (集積回路パターンと補正パターンを含む) とを同一とし、それぞれの近接効果補正は各々の同じ位置座標で行われるように制限されている。

【0027】このように同じパターン (集積回路パターンと補正パターンを含む) を有する一対の矩形領域を同一フォトマスク1内に設けたのは、後述するように、一対の矩形領域の各々の実際のパターン (集積回路パターンと補正パターンを含む) とを比較することで、その各々のパターン (集積回路パターンと補正パターンを含む) の良否を確かかつ容易に検査できるようにするためである。

【0028】ただし、一方のチップ転写領域Bの周辺回路領域B00、メモリ回路領域B11、B12、B21、B22の全てが他方のチップ転写領域Aのそれぞれ周辺回路領域A00、メモリ回路領域A11、A12、A21、A22と同一になるようにしなくても良い。条件としては、光近接効果補正を実施した矩形領域単位でパターン (集積回路パターンと補正パターンを含む) が同一であれば良い。

【0029】また、一対の矩形領域の一方 (例えばメモリ回路領域B11) は、同一のフォトマスク1において、非転写領域に配置するか、あるいは露光の際に転写されないように工夫することで、半導体ウエハ上にはその像が転写されないようにしても良い。この場合、一対の矩形領域の少なくとも一方の領域だけを、半導体ウエハ上には像が転写されないようにすれば良い。もちろん、チップ転写領域Bの全部を、半導体ウエハ上には像が転写されないようにしても良い。

【0030】次に、光近接効果補正パターンの具体例を図によって説明する。光近接効果補正技術は、転写されるパターンの光強度が露光光学系の歪みや露光光の干渉によって部分的に低下したり強調されたりする箇所に、それ自体では露光によって半導体ウエハ上には明像を形成しない程度の微細なパターンを、フォトマスク1の集積回路パターンの必要な箇所に配置したり、その集積回路パターンの一部が削除されるようにすることで、半導体ウエハに転写される像の歪みを補正する技術である。半導体ウエハ上に露光されるパターンが、光近接効果補正を施す前の前の集積回路パターンの設計データと実質的に相似となるように補正する。

【0031】図3は、例えばフォトマスクにおける接続孔パターンを転写するためのパターンが示されている。同図 (a) は集積回路パターンの設計データに該当するもので、近接効果補正を施す前の接続孔パターンTHであり、半導体ウエハ上に形成しようとしているパターンである。同図 (b) が光近接補正が施されたパターン (接続孔パターンTHおよび補正パターンH1) である。同図 (c) は第二段階の補正として透過光の位相を反転させる位相シフトを付加した後のパターン (接続孔パターンTHおよび補正パターンH1、位相シフトパ



ーンH2)である。

【0032】接続孔パターンTHは、例えば平面四角形状に形成されている。接続孔パターンの寸法は、露光波長程度以下であり、例えば $1.5\mu\text{m} \times 1.5\mu\text{m}$ 程度である。補正パターンH1は、各接続孔パターンTHの四隅に一部が重なるか接するように配置されている。これは、接続孔パターンTHを半導体ウエハ上に転写しようとするとその転写パターンの角部では光強度が低下してしまうので、その光強度不足を補うためである。この補正パターンH1は、例えば平面四角形状に形成されてお

り、その寸法は接続孔パターンTHの寸法の約 $1/3$ 程度以下となっている。

【0033】第二の位相シフトパターンは、各接続孔パターンTHの四辺に対向して配置されている。この位相シフトを付加することに関しては、他の実施例にて詳細に説明するが、これを付加することによって、上記の補正パターンH1の寸法は、約 $1/2$ 程度に大きくすることができる。

【0034】上記の転写パターンの寸法、形状歪みの補正は、回路パターンに対応したパターンデータに、補正用のパターンデータを計算機処理によって作成して行うことができる。

【0035】図4は、例えばフォトマスク上に $10\text{mm}$ 程度の等間隔にて2次元配列した基準マークパターンを縮小投影露光により転写し、そのマークパターンの位置誤差を拡大表示した位置座標誤差の一例が示されている。図4の位置座標誤差は、光縮小投影レンズの像面湾曲歪み、こま収差歪み、マスク基板のたわみなどが合成された歪みである。マスク基板のたわみは、マスク上にパターンを描画する時、パターンの位置座標を計測する時、露光する時に生じるが、マスク基板の厚さ、材質により理論的に解析され、マスク基板の保持方法が最適化され、低減するようにされている。

【0036】図4は、半導体ウエハ上に既に形成されている下地パターンとの位置誤差と考えても良い。光縮小倍率の差、スキャナー、ステッパとの差が合成されている場合もある。縮小投影露光を行う際に生じる下地パターンとの重ね合わせ精度を向上させるために、様々な原因による位置ずれを測定するために行う。

【0037】フォトマスク上に形成するパターンの寸法と配置によって、こま収差歪みの値が変わるがここでは、ウエハ上に形成する基準パターンは、パターン幅の寸法が露光光の波長程度、パターン長の寸法 $100\text{m}$ 程度の十字型としている。前記の寸法の基準パターンを $1 \sim 2\text{m}$ 程度シフトした井桁形状とすることで、パターン位置座標の測定誤差を多少低減することができる。

【0038】図5は図4の位置座標誤差をフォトマスク上に歪み補正して形成するパターンの補正ベクトルの説明図である。図4に対して、縮小倍率を掛けるとウエハ上各格子点で位置補正ベクトルは逆向きとなる。フォト

マスク上で、図5のように逆補正をすることにより、ウエハ上での位置誤差を大幅に低減し、集積回路パターンの重ね合わせ精度を向上させることができる。すなわち、マスク上へに形成する回路パターンを歪ませることにより、ウエハ上に生じるパターンの位置ずれを緩和することができる。

【0039】図6は図5の位置ずれを補正するために位置座標を補正するためのマップ補正方法の説明図である。無補正のリニア座標系とマップ補正座標系との相関を示したものである。フォトマスク上のパターンに対して、等間隔メッシュ単位で、位置座標シフト量が与えられる。この位置座標シフト量は、使用する縮小投影露光装置、露光条件にて、それぞれ独立して、設定される。

【0040】図7は、図6の位置座標マップ補正して、フォトマスク上に回路パターンを描画する方式を模式的に示したものである。フォトマスクを搭載するステージの位置座標はレーザ干渉にて計測され、その測定値が、図6の方式にて座標変換される。前記の座標変換値により、ステージ位置とビーム位置が制御される。

【0041】図6にて、各格子点でのシフト量が与えられるが、マスク描画装置では、前記の補正値を曲線近似する。ここでは電子ビームを用いているが、描画領域はメインフィールド、サブフィールド、サブサブフィールドに分けられており、各フィールドに、補正値が分配される。サブサブフィールドは $80\text{m}$ 程度以下となり、サブサブフィールド中心値を補正することにより、図6の補正マップの格子点間の補正差が $1/10$ 以下となる。これに合わせてサブサブフィールド内では、回路パターンのショット位置を歪ませないでも描画できる。サブサブフィールド内でショット位置を歪ませてもよいが、この場合はビームの偏向幅の校正が難しくなる。この方式により、前記のパターン位置座標を歪ませて、描画することができる。尚、前記のパターンデータ自体に補正を加えて、回路パターンを描画する方法に関しては、後で詳細に説明する。

【0042】このフォトマスク1の具体的なパターン検査方法を図8を用いて説明する。図8は、前記のフォトマスク上に回路パターンを歪ませて形成した時のマスク外観検査方法を模式的に示したものである。フォトマスクは、レーザ干渉により位置座標測定可能なステージに搭載される。レーザ測定値は、図6の位置座標マップ補正の逆変換を行う。レーザビームをフォトマスク面に照射するが、この場合においても、レーザビームの走査範囲は $100\text{m}$ 程度である。このレーザビームの走査範囲内では、ビーム位置の歪み補正をしてもよいが、しなくてもよい。この逆変換補正により、マスク上に歪ませてパターンを描画しても、外観検査が可能となる。次にこのマスク検査方法を詳細に説明する。

【0043】フォトマスクは、マスク検査装置のXYステージに載置される。尚、図示と上下反転して、前記の

パターン形成面（主面）を下に向けた状態とすることで、検査中でのパターン面への降下異物の付着を防止することができる。XYステージは、ステージ駆動系によって平面移動可能な状態で設けられている。このステージ駆動系の動作はステージ制御部からの制御信号によって制御されている。フォトマスク1の位置座標は、XYステージの位置座標から測定できる。このXYステージ4Aの位置座標はレーザ干渉計によって、例えば0.01 $\mu$ m単位で計測することが可能となっている。この測定値は、図6の位置座標マップ補正の逆変換によって、フォトマスク上の位置座標を歪ませた回路パターンが位置座標を歪ませない状態として、イメージデータ検出が可能となる。

【0044】フォトマスクの検査に際しては、例えばフォトマスクの上面側に配置された検査光源から放射された検査光をビーム偏向部、レンズを介してフォトマスクに照射し、さらにフォトマスクを透過した検査光をレンズを介してイメージセンサによって検出する。そして、フォトマスクの位置座標データと、イメージセンサで検出された後にデータ変換された画像データを記憶部に一時的に記憶する。尚、図示していないが、画像データの検出光学系（レンズ、イメージセンサ）を1組装備し、光源からのビームを分岐して、それらより画像データを比較しても良い。

【0045】フォトマスク内における異常の検出は、フォトマスク内の異なる場所の画像データを比較で行う。例えば図2のメモリ回路領域A11の全部または一部の画像を上記したように検出して画像データとして記憶部に記憶しておき、XYステージを平行移動してメモリ回路領域B11の全部またはその一部（上記メモリ回路領域A11の一部の画像データ座標に相当）の画像を上記したように検出して画像データとして記憶部に記憶し、それらの双方の領域の画像データを画像データ比較論理回路において比較する。

【0046】図2の周辺回路領域A00については、上記のように検出して得られた周辺回路領域A00の画像データと隣接するチップ転写領域Bの周辺回路領域B00の画像データとを比較することで外観検査を行う。または、周辺回路領域A00の集積回路パターンの設計データと周辺回路領域A00の画像データとを比較することで外観検査を行う。

【0047】続いて、比較により判明したパターンの差異部の寸法、光検出強度による分類を行い、そのデータとともに、フォトマスクにおける当該差異の発生箇所の位置座標データを記憶する。上記差異の発生箇所について、その位置座標データに従ってフォトマスクの外観を観察し上記異常箇所の異常内容を、例えば遮光部の欠け、残りパターン欠陥、付着異物欠陥などに分類して欠陥の良否判定を行う。

【0048】このような検査において、上記一対の矩形

領域以外の領域のフォトマスク上におけるパターンの少なくとも一部の領域に対しては、上記した光近接効果補正処理を行っておらず、その箇所には集積回路パターン寸法の1/3程度以下の微細な補正パターンが含まれていないので、その箇所におけるパターンの検査は、そのパターンの上記のようにして得られた画像データと、フォトマスク上にパターンを形成する際に用いた集積回路パターンの設計データとの比較検査によって、パターンの外観検査を行うことが可能である。

【0049】次いで、このような検査工程の後、検査結果に基づいてマスクを修正する。修正に際しては、比較検査でパターンが相違した箇所において、比較された双方のパターンの大きさや形状等が実質的に等しくなるように修正あるいは付着異物除去を行う。

【0050】次に、本実施の形態1のフォトマスク1の製造方法および半導体装置の製造方法を図1の工程図に沿って説明する。まず、半導体装置の設計データに対して、上記した光近接効果補正を行う（工程100）。半導体装置の設計データは、半導体装置を構成する素子や配線等の図形パターンを有する設計図にあたるデータであり、このデータ上のパターン形状と半導体基板上に形成しようとしているパターンとは略相似形となっている。続いて、当該補正処理を施したパターンデータ（補正パターンのデータを含む）を電子ビーム描画用パターンデータに変換する（工程101）。その後、その電子ビーム描画用パターンデータに基づいて、マスク基板2（図2参照）にパターン（集積回路パターンおよび補正パターン）を描画する。この際、上記した一対の矩形領域（例えばメモリ回路領域A11とメモリ回路領域B11）のパターンデータ（集積回路パターンおよび補正パターン）を電子ビーム露光装置のバッファメモリに記憶した後（工程102）、そのデータのうち、上記一対の矩形領域の一方のパターンデータを読み出してショット分解し、それによって得られたデータに基づいて電子ビームを露光してマスク基板2の一方の矩形領域内にパターンを描画する（工程103）。

【0051】その後、他方の矩形領域につき、パターンデータを再度ショット分解し、それによって得られたデータに基づいて電子ビームを露光してマスク基板2の他方の矩形領域内にパターンを描画する（工程104）。なお、当該電子ビーム描画に際しては、フォトマスク1のマスク基板2上に、例えばCr等のような遮光膜が全面に被着されており、その上には電子ビーム描画用のレジスト膜が塗布されている。上記した一方の矩形領域のパターンデータ（集積回路パターンおよび補正パターンのデータ）に対し、電子ビームの偏向フィールド分割のフォーマット変更を行い、後述の電子ビーム露光装置のバッファメモリに記憶する。この間のパターンデータのフォーマット変更、転送、記憶処理については、コンピュータ処理によって、それぞれのデータ処理の過程にお

いて異常検出が可能であり、実用レベルでの異常の発生を無くすることができる。

【0052】一方、当該バッファメモリからパターンデータを超高速に読み出し、ショット分解して、電子ビームにより回路パターンを描画する工程についてはパターンの異常発生は無視できない。これは、後に実施例1で用いた電子ビーム露光装置の露光方法について詳細に説明するが、電子ビーム露光装置では、パターン描画する工程において、ショット分解、ビーム偏向、ビームオンオフブランキング等の処理において、高真空中での電子ビームのチャージアップ、電子ビーム源の寿命によるビーム変動、外部電源からのノイズなどによって変動するので、電子ビームを所定の形状で所定の位置に照射することを保証することは実効的に不可能なことに起因する。

【0053】そこで、実施例1においては、フォトマスク1にパターン（集積回路パターンおよび補正パターン）を形成する際に、上記したデータの読み出し、ショット分解およびパターン描画の一連の処理を矩形領域毎に繰り返し行うようにする。すなわち、当該バッファメモリから矩形領域のパターンデータを高速に読み出し、ショット分解して、パターンの描画を行う処理を上記した一対の矩形領域毎に行うようにする。これにより、電子ビーム露光装置のパターン描画において、パターンデータ自体に異常がない限り、一対の矩形領域の各々において同一位置に異常が発生することは実用上発生しないので、後述するように、一対の矩形領域の実際のパターンを比較することで、異常の発生を検出することが可能となる。

【0054】次いで、上述のような電子ビーム露光処理の後、マスク基板2に対して現像処理を施して電子ビームレジストパターンを形成し、これをエッチングマスクとしてエッチング処理を施して遮光膜をパターンニングすることにより、マスク基板2上にパターン（集積回路パターンおよび補正パターン）を形成してフォトマスク1を製造する（工程105）。

【0055】続いて、フォトマスク1の外観検査を行う（工程106）。この際、本実施の形態1においては、少なくとも上記した一対の矩形領域に対しては双方の領域のパターン（集積回路パターンおよび補正パターン）同士を比較する。すなわち、フォトマスク1における実際に形成されたパターン同士を比較することでパターンの外観を検査する。これにより、集積回路パターンの1/3程度の寸法しかない微細な補正パターンが付加され、集積回路パターンに位置座標歪み補正が付加された場合においても、集積回路パターン外観の良否を確実に容易に検査することが可能となる。

【0056】続いて、比較により判明したパターンの差異部の寸法、光検出強度による分類を行い、そのデータとと共に、フォトマスク1における当該差異の発生箇所

の位置座標データを記憶する。上記差異の発生箇所について、その位置座標データに従ってフォトマスク1の外観を観察し上記異常箇所の異常内容を、例えば遮光部の欠け、残りパターン欠陥、付着異物欠陥などに分類して欠陥の良否判定を行う。

【0057】このような検査において、上記一対の矩形領域以外の領域のフォトマスク1上におけるパターンの少なくとも一部の領域に対しては、上記した光近接効果補正処理を行っておらず、その箇所には集積回路パターン寸法の1/3程度以下の微細な補正パターンが含まれていないので、その箇所におけるパターンの検査は、そのパターンの上記のようにして得られた画像データと、フォトマスク1上にパターンを形成する際に用いた集積回路パターンの設計データとの比較検査によって、パターンの外観検査を行うことが可能である。次いで、このような検査工程の後、検査結果に基づいて修正する。修正に際しては、比較検査でパターンが相違した箇所において、比較された双方のパターンの大きさや形状等が実質的に等しくなるように修正あるいは付着異物除去を行う。

【0058】続いて、このようにして得られたフォトマスク1を縮小露光装置に設置した後、縮小投影露光装置により、フォトマスク1のパターンを半導体ウエハに転写する（工程107）。この際、補正パターンが配置された箇所では、半導体ウエハに転写されるパターンの像の歪みを低減した状態での露光を行うことが可能である。

【0059】露光後、現像、エッチング等の一連のウエハプロセス処理を経て、半導体ウエハ上に所定の集積回路パターンを形成する（工程108）。その後、実施例1では、半導体ウエハ上に実際に転写された集積回路パターンを比較することでフォトマスク1上のパターンの良否を判定することも可能である（工程109）。

【0060】すなわち、半導体ウエハにおいてフォトマスク1のメモリ回路領域A11が転写されて形成された集積回路パターンと、半導体装置パターンの設計データとを比較することで良否判定することもできるし、あるいはフォトマスク1のメモリ回路領域A11が転写されて形成された集積回路パターンと、フォトマスク1のメモリ回路領域B11が転写されて形成された集積回路パターンとを比較することで良否判定することもできる。これにより、集積回路パターンを形成するためのフォトレジストプロセス中に発生したランダム欠陥や付着異物を発見することが可能となる。すなわち、実施例1によれば、半導体装置パターンの設計データとの比較を行わなくても、信頼性の高いパターン検査が可能である。

【0061】次に、実施例1のフォトマスク1の製造に用いた電子ビーム露光装置の一例を図9によって説明する。電子ビーム露光装置5は、データ保管部と、描画制御部と、制御I/O部と、EB描画部とを有している。

10

20

30

40

50

EB描画部は、電子ビーム光学系と試料ステージ系とを有している。EB描画部内に試料であるフォトマスク1が水平面内において移動自在なXYステージなどからなるステージ5Aに搭載されている。フォトマスク1の上面には、上記したように、例えばCr等のような遮光膜が全面に被着されさらにその上に感電子ビームレジスト等が塗布されている。電子ビーム光学系は、ステージ5Aの上方に、電子ビーム源5Bと電子ビームEBを制御して照射する複数の電子レンズ、制御電極が設けられており、フォトマスク1に向けて電子ビームEBが放射される構成になっている。電子ビーム源5Bからステージ5Aに到る電子ビームEBの経路には、例えば後述する矩形の開口パターンが形成された第1アパーチャ5C1、電子ビームEBの放射の有無を制御するブランキング電極5D、電子ビームEBの収束、電子ビームEBの光軸の回り方向における回転補正、電子ビームEBの断面形状を縮小し、フォトマスク1に対する焦点合わせ等を行う電子レンズ5E、第1偏向器5F1、第2偏向器5F2、後述する複数の所望の開口パターンが形成された第2アパーチャ5C2、電子ビームEBのフォトマスク1における照射位置を制御する第3偏向器5F3等からなる電子光学系が設けられている。

【0062】試料ステージ系は、真空チャンバ内に、フォトマスク1を搭載するステージ5Aが水平面内においてXY方向に自在に移動可能なように構成されている。ステージ5Aの位置は、レーザ干渉計5Gによって測定されて電子ビーム系にフィードバックされるようになっている。その際に、ステージ上の位置に対応して、位置ベクトル補正値が付加される。この補正値は、別の測定手段により、計測されたもので、フォトマスク面内で、例えば6インチ基板の場合、10mm間隔で、12x12点の補正値が与えられる。各補正値間では、その補正差は通常、0.05m以下となるが、補正間で直線近似、二次または三次の曲線近似して描画し、パターンに段差が生じないようにできる。

【0063】一方、電子ビーム露光装置5の全体の動作を制御する制御計算機5Hには、フォトマスク1に描画すべきマスクパターン（集積回路パターンおよび補正パターン）の描画データが格納される大記憶容量の描画データ記憶部5Iが設けられており、実際の描画動作に必要な描画データがバッファメモリ5Jに転送され、演算部5Kによって電子ビーム光学系が制御される。この演算部5Kは、バッファメモリ5Jからの描画データとマーク位置信号、高さ検出（Z検出と記す）信号データと、ステージ位置データなどから、電子ビームEBのオンオフ制御するブランキング電極5D、第2アパーチャ5C2の複数の図形開口の一部を選択する第1偏向、第2アパーチャの矩形開口の一部に照射し、透過電子ビームEBの断面寸法を可変する第2偏向、第2アパーチャを移動するための第2アパーチャ制御、電子ビームEB

のフォトマスク1に対する照射領域と照射位置を定める第3偏向等の直接制御データを作成する。

【0064】電子ビームEBのオンオフ制御は、演算部5Kからビーム照射パラメータデータを取り出し、ブランキング信号発生部5Lおよびブランキング制御5LCを介してブランキング電極5Dを制御することで行う。また、第2アパーチャの複数の図形開口の一部の選択は、演算部5Kから図形選択パラメータデータを取り出し、第1偏向制御信号発生部5Mおよび第1偏向制御部5MCを介して第1偏向器5F1を制御することで行う。同様に、電子ビームEBの断面寸法の可変は、ビーム寸法パラメータデータを取り出し、第2偏向制御信号発生部5Nおよび第2偏向制御部5NCを介して第2偏向器5F2を制御し、第2アパーチャの矩形開口の一部と切り欠きするように照射し、透過ビーム寸法を変えて行う。第2アパーチャ5C2の移動は、演算部5Kから第2アパーチャ5C2を移動制御パラメータデータを取り出し、第2アパーチャの移動制御信号発生部5Pおよび移動制御部5PCを介して行い、複数の図形開口と矩形開口の一つが電子ビームEBの偏向領域内に入るようにする。

【0065】第3偏向器5F3は、演算部5Kから電子ビームEBのフォトマスク1に対する照射領域と照射位置とのパラメータデータを取り出し、第3偏向信号発生部5Qおよび第3偏向器制御部5QCを介して電子ビームEBのフォトマスク1に対する照射位置を定める動作を行う。この第3偏向器5F3は、大角偏向用の電磁偏向と2段の小角高速偏向用の静電偏向とで構成される。すなわち、電子ビームEBのフォトマスク1に対する照射位置は、例えば5mm平方程度の大角土偏向用の電磁偏向と500μm程度と80μm程度との2段高速偏向用の静電偏向とによる偏向量を重量させることによって制御される。これにより、大角度、高速度の電子ビーム偏向が実現できる。

【0066】ステージ5Aは、ステージ制御部5Rを介して、制御計算機5Hにより制御されている。ステージ制御部5Rは、ステージ5Aの変位量を精密に測定するレーザ干渉計5Gからの計測値に基づいて、制御計算機5Hから指令された位置にステージ5Aを移動させる。また、ステージ5Aの上側の近傍には、電子検出器5Sが配置されており、フォトマスク1の所望の部位に形成されている位置合わせマークに電子ビームEBを照射した際に発生する二次電子などを、電子ビームEBの操作と同期して検出することにより、当該位置合わせマークの位置を検出して特定する動作を行う。また、ステージ5A上には、電子ビーム検出用検出器が搭載され、電子ビームEBの電流値などの検出が行われる。当該位置合わせマークの位置データを基に、信号処理部5Tを介してフォトマスク1の描画領域を座標変換して所定の基準座標系における値に変換され、演算部5Kの描画データ

の位置のパラメータとを加えて第3偏向器5F3の制御に用いられる。また、電子検出器5Sの近傍には、Z検出器計が配置されている。すなわち、フォトマスク1の表面に対して所定の傾斜角度で光ビームを照射し、フォトマスク1の面で反射された光ビームの照射部位におけるフォトマスク1の高さを精密に測定するものである。

【0067】なお、図示の都合上、光ビームの光源、投影レンズや受光レンズなどの光学系の図示は省略している。そして、Z検出センサを介して検出されたフォトマスク1における電子ビームEBの照射部位の高さ上方は、信号処理部5Tを介して所定の基準座標系に変換されて演算部5Kに伝送される。この高さ情報を参照することで、電子レンズ5Eによる電子ビームEBのフォトマスク1に対する焦点合わせ動作を制御する。

【0068】図10は第1アパーチャ5C1および第2アパーチャ5C2の構成の一例を示す説明図である。第1アパーチャ5C1は、複数の矩形開口が格子状に配列されており、電子ビーム源または第1アパーチャ5C1上のアパーチャとの組合せ、第1アパーチャ5C1の移動機構を設けることで、第1アパーチャ5C1の1つの矩形開口が劣化した場合、高真空を大気圧にすることなく、別の矩形開口に取り替えることができる。この矩形開口の劣化は、電子ビーム照射によるコンタミに起因するものである。電子ビームの電流値にも依存するが、数カ月以上の長期間動作させる場合に有効である。

【0069】第1アパーチャ5C1と第2アパーチャ5C2との間に位置する第1偏向器5F1による電子ビームEBの偏向可能範囲内に収まる大きさの複数の開口パターン5C1aが格子状に配列されており、個々の開口パターン5C1aは、例えば独立な複数種の図形開口の一括転写パターン6a1～6a5と矩形開口パターン6a0とを含んでいる。この一括転写パターン6a1～6a5は、複数の図形開口から構成され、例えば半導体装置など複数の図形情報の繰り返しパターンに対応したものである。この場合、一括転写パターン6a1～6a5の一部には、例えば対角線方向の両隅に、上記した第1アパーチャ5C1を通過した電子ビームEBによって同時に選択可能な一対の孤立パターンが形成されている。そして、一括転写パターン6a1～6a5の各々の一括転写に際して、これらの孤立パターンを適宜用いることにより、第2アパーチャ5C2の位置ずれの補正を行う。すなわち、電子ビームEBによって同時に選択可能な2つの孤立パターンを用いて第2アパーチャ5C2以降の電子光学系を構成する電子レンズ5Eの励磁電流と倍率との関係、回転補正レンズと回転角との関係を予め測定しておくことで補正が可能となる。

【0070】ただし、電子ビームEBによって一度に選択できる領域内に設けられた孤立パターンの場合には、相互間の距離が小さいので、ビーム位置の検出精度を上げる必要がある。そこで、本実施の形態においては、フ

ォトマスク1を搭載した移動ステージ5A上に設けられたナイフエッジを持つ図示しないファラデーカップ部をX軸、Y軸の両方向に複数回走査してビーム位置の検出条件を良くしている。また、開口パターン5C1aの両隅に相互間の距離が上記孤立パターンよりも大きな孤立パターンを形成することも考えられる。この場合には、個々の孤立パターンを一度に選択できないので両者を個別に選択するためのビーム偏向および選択後のビーム振り戻し調整が必要となり、若干補正作業が複雑となる。

【0071】上記した第2アパーチャ5C2は、上記した第1アパーチャ5C1と組合せ、第2アパーチャ5C2が上記した第1のビーム偏向領域内に少なくとも1つの矩形開口と複数の図形開口とから構成され、第2アパーチャ5C2の移動によって上記と異なる複数の一括転写ビームと可変矩形ビームとを形成できるようにしたものである。上記した第2アパーチャ5C2の移動制御手段を用いて第2アパーチャ5C2を移動した場合は、第1アパーチャ5C1を通過する電子ビームEBを偏向制御して、第2アパーチャ5C2の透過ビームをフォトマスク1状の所望の位置へ偏向制御して、ステージ5Aの基準マークを用いて、第1と第3のビーム偏向制御位置の基準または第2と第3のビーム偏向制御位置の基準を構成することが必要となる。この後、所望の位置にフォトマスク1を移動して電子ビームを照射することになる。

【0072】次に、図11は電子ビーム露光装置5の要部を取り出して示した説明図である。ステージ5U1などの移動機構を持つ第1アパーチャ5C1、同様にステージ5U2などの移動機構を持つ第2アパーチャ5C2の複数の図形の一部を選択する第1偏向器5F1、透過ビームの寸法を可変する第2偏光器5F2等が設けられている。このような電子ビーム露光装置5の一括転写露光方法の一例を説明する。まず、ステージ5U2によって第2アパーチャ5C2における目的の開口パターン5C2aを電子工学系の光軸上に位置決めする。続いて、第1アパーチャ5C1を透過した電子ビームEBを偏向器によって当該開口パターン5C1aに含まれる一括転写パターン6a1～6a5の一つに形成されている孤立パターンに導き、当該孤立パターンを通過させ、2本の電子ビームEBとしてステージ5A側に照射する。そして、当該ステージ5Aに設けられている図示しないファラデーカップ等を走査させることにより、孤立パターンノ光軸の回りの回転ずれや倍率誤差などの転写誤差を計測し記憶する。

【0073】その後、第1アパーチャ5C1の開口パターン5C1aを透過した電子ビームEBを第1偏向器5F1によって開口パターン5C1aの目的の一括転写パターン6a1～6a5に導いて当該電子ビームEBの断面形状を成形し、成形された電子ビームEBを前述の測定によって得られた補正値によって動作が補正されている電

子レンズ5E、第3偏向器5F3などを介して制御することにより、移動ステージ5Aに載置されたフォトマスク1の所望の位置に所望の大きさで一括転写パターン6a1～6a5の形状に照射し、フォトマスク1の表面の感電子線レジストを感光させる。

【0074】次に、この電子ビーム露光装置5の描画データの流れを説明する。マスク描画用パターンデータは、データ保管部の磁気ディスクなどの記憶装置5Iに記憶される。制御計算機5Hからの指示により制御計算機5Hを介してバッファメモリ5Jに目的のパターンの描画データが転送されるとともに、フォトマスク1の当該パターンの描画位置が電子光学系の光軸下に位置決めされる。そして、電子ビームEB等によりフォトマスク1上の位置合わせマークなどの走査によって当該フォトマスク1の平面内における目的の描画部位の座標情報や高さ情報等が信号処理部5Tを介してバッファメモリ5Jに転送される。その後、上記した座標とその補正情報などに基づいて、目的の照射部の電子光学系に対する位置決めが行われるとともに、当該領域の高さ情報等に基づいて電子レンズ5Eのフォトマスク1に対する焦点位置が設定される。その後、演算部5Kは、バッファメモリ5Jに格納されているマスク描画パターンデータに基づいて、電子ビームEBの形状や偏向量などに関する制御信号を算出し、バッファメモリ5Jからの描画データとマーク位置信号、高さ検出信号データとステージ位置データなどから、電子ビームEBのオンオフ制御するブランピング電極5D、第2アパーチャ5C2の複数の図形開口の一部を選択する第1偏向器5F1、第2アパーチャ5C2の矩形開口の一部に照射し、透過した電子ビームEBの断面寸法を可変する第2偏向器5F2、第2アパーチャ5C2を移動する第2アパーチャ制御、電子ビームEBのフォトマスク1に対する照射領域と照射位置を定める第3偏向などの直接制御信号データを作成する。

【0075】半導体装置などの複数図形の繰り返しを含むパターンの露光の際、矩形開口を有する第1アパーチャ5C1と、少なくとも1つの矩形開口および複数の図形開口を有する第2アパーチャ5C2とを、ビーム源5Bからフォトマスク1に到る集束ビームの経路に順に介設し、上記集束ビームの偏向制御が上記第1アパーチャ5C1を通過するビームを偏向制御して第2アパーチャ5C2の矩形開口と複数の図形開口の一部を選択する第1偏向器5F1と、前記矩形開口を通過するビームの寸法を偏向する第2手段と、前記第2アパーチャ5C2の透過ビームをフォトマスク1の所望の位置へ偏向制御するための第3偏向偏向器5F3とからなり、上記した図形の繰り返しパターンは、第1の偏向制御を用いて、第2アパーチャの複数の図形開口の一部を選択した後、第3の偏向制御を用いて、電子ビームをフォトマスク1の所望の位置へ照射する処理を繰り返し、合成パターンを

形成する。また、上記の露光の際、移動ステージ5Aを移動させながらフォトマスク1上に対応した第3のビーム偏向制御の範囲内で合成パターンを形成する。

【0076】また、上記の露光の際、第2アパーチャが複数のビーム偏向領域を有し、角領域に複数の図形開口と矩形開口とを備え、集束ビームの偏向制御が第1アパーチャを通過するビームを偏向制御して第2アパーチャの矩形開口と複数の図形開口の一部を選択する第1の偏向手段と、第2アパーチャの透過ビームをフォトマスク1上の所望の位置へ偏向制御するための第3の偏向制御手段とからなり、第2アパーチャの移動の後、フォトマスク1またはフォトマスク台上の基準マークを用いて、第1のビーム偏向制御または第2のビーム偏向制御の少なくとも一方と第3のビーム偏向制御の基準位置を校正し、所望の位置にフォトマスク1を移動してその後ビーム照射し合成パターンを形成する。

【0077】これにより、フォトマスク1の一つの矩形領域に対して、集積回路パターンを描画する。その後、これと対になる他の矩形領域に対してバッファメモリ5Jに格納されているマスク描画用パターンデータに基づいて、上記の処理を繰り返し、集積回路パターンを描画する。このため、補正を加えたマスク露光パターンとマスク検査データとの比較照合を容易にすることが可能となる。なお、上記では、第2アパーチャの図形開口を用いたが、図形開口を用いなくて矩形開口のみを用いて描画を行うようにしても良い。上記のパターン露光方法を実現するためには、それに対応したマスク露光用パターンデータが電子ビーム露光装置5のバッファメモリ5Jに確実に転送される必要がある。上記の電子ビーム露光装置5では、バッファメモリ5Jにデータを記憶するまでの処理に対して、データサムチェック機能等を備え、データ転送エラー、データ化等の異常を検出できる構造になっている。

【0078】上記のパターン露光を実現するための描画データは、上記の第1と第2のビーム偏向制御やビームブランピング制御などによって電子ビームを高速度に制御してオンオフ照射するため、バッファメモリ5Jからデータ読み出しされた後は、断面形状が図形形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データに分解し、様々な制御データに変換される。その全てにおいてエラーチェックを行うことは非常に困難となるが、バッファメモリ5Jからの読み出しを繰り返して描画したパターンを比較照合する方法によって描画パターンが異常となった場合の検出ができ、描画パターンの信頼度を大幅に向上させることが可能となる。

【0079】次に、実施例1の半導体装置の製造方法を、例えばツイン・ウエル方式のCMOS (ComplimentaryMOS) の製造工程に適用した場合を図12～図19によって説明する。

【0080】図19はその製造工程中における半導体ウエハ7を構成する半導体基板7sの要部断面図である。半導体基板7sは、例えばn-形のSi単結晶からなり、その上部には、例えばnウェル8nおよびpウェル8pが形成されている。nウェル8nには、例えばn形不純物のリンまたはAsが導入されている。また、pウェル8pには、例えばp形不純物のホウ素が導入されている。

【0081】続いて、図13に示すように、このような半導体基板7sの主面上に、例えばSiO<sub>2</sub>からなるフィールド絶縁膜9をLOCOS (Local Oxidization of Silicon) 法等によって形成した後、そのフィールド絶縁膜9に囲まれた素子形成領域に、例えばSiO<sub>2</sub>からなるゲート絶縁膜10iを熱酸化法等によって形成する。その後、その半導体基板7s上に、例えば低抵抗ポリシリコンからなるゲート形成膜をCVD法等によって堆積した後、その膜をフォトリソグラフィ技術およびエッチング技術によってパターンニングすることにより、ゲート電極10gを形成する。次いで、nチャネル形のMOS・FET形成領域に、例えばn形不純物のリンまたはAsをイオン注入法等によって導入する。この際、ゲート電極10gをマスクとして自己整合的にn形不純物を半導体基板7sに導入する。

【0082】続いて、pチャネル形のMOS・FET形成領域に、例えばp形不純物のホウ素をイオン注入法等によって導入する。この際、ゲート電極10gをマスクとして自己整合的にp形不純物を半導体基板7sに導入する。その後、半導体基板7sに対して熱処理を施すことにより、nチャネル形のMOS・FETのソース領域およびドレイン領域を構成するn形の半導体領域10ndを形成するとともに、pチャネル形のMOS・FETのソース領域およびドレイン領域を構成するp形の半導体領域10pdを形成する。次いで、図14に示すように、半導体基板7s上に、例えばSiO<sub>2</sub>からなる層間絶縁膜11aをCVD法等によって堆積した後、その上面にポリシリコン膜をCVD法等によって堆積する。

【0083】続いて、そのポリシリコン膜をフォトリソグラフィ技術およびエッチング技術によってパターンニングした後、そのパターンニングされたポリシリコン膜の所定領域に不純物を導入することにより、ポリシリコン膜からなる配線12Lおよび抵抗12Rを形成する。

【0084】その後、図15に示すように、半導体基板7s上に、例えばSiO<sub>2</sub>からなる層間絶縁膜11bをSOG (Spin On Glass) 法等によって堆積した後、その層間絶縁膜11bに半導体領域10pd、10ndおよび配線12Lの一部が露出するような接続孔13aをフォトリソグラフィ技術およびエッチング技術によって穿孔する。その際に、図示はしていないが、前記した位置合せマークパターンを前記の回路パターンチップの周辺部におけるスクライブ領域またはその近傍に形成す

る。すなわち、上記の絶縁膜上に前記した内容のマークパターンの溝を形成する。

【0085】次いで、半導体基板7s上に、例えばタンゲステン等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜を化学的研磨エッチング技術によって、接続孔以外の金属膜が除去されるまで、平坦化エッチングする。これにより、図16に示すように、接続孔13a内に金属膜14aを埋め込む。

【0086】続いて、図17に示すように、例えばAlまたはAl合金等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜をフォトリソグラフィ技術およびエッチング技術によってパターンニングすることにより、第2層配線14Lを形成する。

【0087】その後、図18に示すように、半導体基板7s上に、例えばSiO<sub>2</sub>からなる層間絶縁膜11cをCVD法等によって堆積した後、その一部に第2層配線14Lの一部が露出するような接続孔13bを穿孔する。

【0088】次いで、例えばAlまたはAl合金等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜をフォトリソグラフィ技術およびエッチング技術によってパターンニングすることにより、第3層配線15Lを形成する。その後、半導体基板7s上に、例えばSiO<sub>2</sub>からなる表面保護膜16をCVD法等によって堆積して第3層配線15Lを被覆する。

【0089】このようなSRAMの製造プロセスにおけるフォトリソグラフィ工程、すなわち、露光工程を抽出し、フロー化した露光プロセス・フロー図を図20に示す。

【0090】同図において、nウェル・フォト工程P1は、半導体基板上に窒化シリコン等からなる絶縁膜を堆積した後、その絶縁膜上にnウェル形成領域以外の領域が被覆されるようなフォトレジストパターンを形成する工程である。

【0091】フィールド・フォト工程P2は、半導体基板上に窒化シリコン等からなる絶縁膜を堆積した後、その絶縁膜上に素子形成領域のみが被覆されるようなフォトレジストパターンを形成する工程である。

【0092】pウェル・フォト工程P3は、pウェルのチャネルストップ領域を形成するために、nウェル上を被覆するフォトレジストパターンを形成する工程である。

【0093】ゲート・フォト工程P4は、半導体基板上にポリシリコン等からなる導体膜を堆積した後、その導体膜上にゲート電極形成領域が被覆されるようなフォトレジストパターンを形成する工程である。

【0094】nチャネル・フォト工程P5は、nチャネル側にゲート電極をマスクとしてn形不純物をイオン注入するために、pチャネル側を被覆するようなフォトレジストパターンを形成する工程である。pチャネル・フ



フォト工程P6は、逆に、Pチャネル側にゲート電極をマスクとしてp形不純物をイオン注入するために、nチャネル側を被覆するようなフォトレジストパターンを形成する工程である。

【0095】多結晶シリコン・フォト工程P7は、配線または抵抗となる第2層多結晶シリコン膜をパターンニングするために、半導体基板上に堆積された多結晶シリコン膜上に配線および抵抗領域を被覆するようなフォトレジストパターンを形成する工程である。R・フォト工程P8は、抵抗上にフォトレジストパターンを形成した状態

で、その他の領域に不純物を導入する際のマスクとなるフォトレジストパターンをネガ・プロセスによってパターンニングする工程である。

【0096】コンタクト・フォト工程P9は、接続孔を形成するためのフォトレジストパターンをポジ・プロセスで形成する工程である。A1-1・フォト工程P10は、第一層配線をパターンニングする工程である。スルーホール・フォト工程P11は、第1層配線と第2層配線とを接続する接続孔を開くためのフォトレジストパターンを形成する工程である。

【0097】A1-2・フォト工程P12は、第2層配線をパターンニングするための工程である。ボンディングパッド・フォト工程P13は、表面保護膜にボンディングパッドに対応する100 $\mu$ m程度の開口を形成するための工程であり、表面保護膜上にボンディングパッド形成領域以外を被覆するフォトレジストパターンを形成する工程である。

【0098】これらの露光プロセスのうち、nウエル・フォト工程P1、nチャネル・フォト工程P5、pチャネル・フォト工程P6およびボンディングパッド・フォト工程P13は、最小寸法が比較的大きいので、一般に、位相シフトマスクを用いる必要がないが、その他のフォト工程では、後に実施の形態2で説明する位相シフトパターンを有するフォトマスクを露光に際して用いると良い。

【0099】特に、ゲート・フォト工程P4では、化学増幅系のネガ形フォトレジストを用いてゲート電極を形成し、コンタクト・フォト工程P9では、化学増幅系のポジ形フォトレジストを用いて接続孔を形成する。これにより、ゲート電極のゲート長および接続孔の開口径を、光露光方式で用いる露光の波長以下（例えばi線露光で0.3 $\mu$ m程度）に微細にすることができる。

【0100】このように、実施例1によれば、フォトマスク1に、集積回路パターンよりも微細な光近接補正効果用の補正パターンを有し、かつ集積回路パターンに位置座標を歪ませた場合でも、その補正パターンの形成ができ、その良否を確実にかつ容易に検査することができる。したがって、欠陥のない高い品質のフォトマスク1を製造することが可能となる。また、そのフォトマスク1を用いて露光処理することにより、その露光処理にお

いて光近接効果補正、位置座標補正を良好に行うことができ、像の解像度、焦点深度、重ね合わせ精度を増大させることができるので、半導体基板上に所望の形状および寸法の集積回路パターンを良好に転写することができる。したがって、半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0101】すなわち、フォトマスクに形成されたパターンを縮小投影露光装置を用いて半導体ウエハ上に露光する際に、前記縮小投影露光装置の光学系又は照明形態に起因して生じる前記半導体ウエハ上の投影パターンのパターンの位置ずれ量を予め求め、前記位置ずれ量に応じて前記フォトマスクのパターンを描画する際にパターン描画装置のステージ座標をシフトさせて描画することにより、前記半導体ウエハ上で生じるパターンの位置ずれを緩和することができる。

【0102】図21は、基準マークパターンを0度、90度、180度、270度回転して位置座標を測定し、各測定パターンの差分を小さくすることによるマスク描画位置の合わせ込みの測定例を示す図である。図21の方式により、マスク描画装置自体のマスクを搭載するステージの位置座標精度を理想座標系に合わせ、図4に示したフォトマスク基板上に基準となるマークパターンを形成する。同様に、マスク検査装置のマスクを搭載するステージの位置座標精度を理想座標系に合わせることができる。尚、マスク基板の保持により、基板のたわみが生じるので、マスク基板を回転して位置座標を校正する際に注意が必要である。

【0103】（実施例2）図22は本発明の他の実施例として、他の光近接効果補正方法を説明するためのフォトマスクの平面図である。フォトマスクにおける配線パターンを転写するためのパターンが示されている。同図(a)は集積回路パターンの設計データに該当するもので、当該補正前の配線パターン（集積回路パターン）L1、L2であり、半導体ウエハ上に転写しようとしているパターンである。同図(b)は当該補正後のパターン（配線パターンL1、L2および補正パターンH2、H3）である。

【0104】配線パターンL1は、大面積パターン部L1aと幅の狭い引き出しパターン部L1bとで構成されている。大面積パターン部L1aと引き出しパターン部L1bとの寸法比は2倍以上であり、引き出しパターン部L1bの幅は露光波長程度以下であり、例えば1.5 $\mu$ m程度である。補正パターンH2は、大面積パターン部L1a内において引き出しパターン部L1bとの接合部近傍に配置されている。これは、配線パターンL1を補正パターンを設けずに半導体ウエハ上に転写しようとする、引き出しパターン部L1bにおいて大面積パターン部L1aに接合される部分の近傍に当たる部分の転写パターンがくびれてしまうのを防ぐためである。この補正パターンH2は、例えば平面四角形状に形成されており、その寸法は



配線パターンの寸法の約1/3程度以下となっている。

【0105】また、配線パターンL2は、幅広パターン部L2aと幅の狭い引き出しパターン部L2bとで構成されている。幅広パターン部L2aの幅は、例えば5 $\mu$ m程度、引き出しパターン部L2bの幅は露光波長程度以下であり、例えば1.5 $\mu$ m程度である。補正パターンH3は、幅広パターン部L2a内において引き出しパターン部L2bとの接合部近傍に配置されている。これは、配線パターンL2を補正パターンを設けずに半導体ウエハ上に転写しようとする、引き出しパターン部L2bにおいて幅広パターン部L2aに接合される部分の近傍に当たる部分の転写パターンがくびれてしまうのを防ぐためである。この補正パターンH3は、例えば平面四角形状に形成されており、その寸法は配線パターンの寸法の約1/3程度以下となっている。

【0106】上記の転写パターン歪みの補正は、削除部の周りの補正用パターンデータを作成し、そのパターンデータに従って、電子ビームなどを用いて描画して行う。図23は、図22の補正の変形例を示している。すなわち、配線パターンL1では、引き出しパターン部L1bにおいて大面積パターン部L1aとの接合部近傍にその引き出しパターン部L1bの幅を部分的に太らせるような補正パターンH4が配置され、かつ、引き出しパターン部L1bの先端部にもその端部を延在させ幅広とするような補正パターンH5が配置されている。また、配線パターンL2では、引き出しパターン部L2bにおいて幅広パターン部L2aとの接合部近傍にその引き出しパターン部L2bの幅を部分的に太らせるような補正パターンH6が配置されている。この補正パターンH4～H6は、例えば平面四角形状に形成されており、その寸法は配線パターンの寸法の約1/3程度以下となっている。上記の転写パターン歪みの補正は、回路パターンデータと補正用パターンデータを作成し、マスク描画時に合成して行う。

【0107】図24は、例えばフォトマスクにおける微細な長方形パターンを転写するためのパターンが示されている。同図(a)は集積回路パターンの設計データに相当するもので、当該補正前の長方形パターン(集積回路パターン)L3であり、半導体ウエハ上に転写しようとしているパターンである。同図(b)が当該補正後のパターン(長方形パターンL3a)である。補正後の長方形パターンL3aは、例えば縦横比1:4程度の微細な長方形形状のパターンであり、短辺の寸法は、露光波長程度以下である。中央部が太るのを補正するため、その箇所が削除処理されており、光透過領域幅が他の部分に比べて細くなっている。これは、長方形パターンL3を半導体ウエハ上に転写しようとする、その転写パターンの中央部で光強度が増加してパターン幅が太るのを防止するためである。補正量は、長方形パターンL3の短辺の寸法の約1/3程度以下となっている。

【0108】上記の転写パターン歪みの補正は、対応するパターンデータを作成し、そのデータに従って、マスク描画して行う。図25は、露光波長以下のライン、スペースからなるブロックパターンに対して、端部パターンに歪み補正した一例である。各ブロックパターンに対し、端部を除いたセルパターン、及びそれら含む全体を上位の階層のセルパターンとして定義することで、データ量を削減して、端部パターンの歪み補正が可能となる。

【0109】上記の補正は、上記のパターンに位相シフトを付加した場合に端部に補正を加えるもの、こま収差歪みが生じる場合に端部を補正する場合に有効となる。

【0110】補正データは、該当領域のパターンにつき、ライン部が重なるまで寸法拡大して、論理和を取り、さらに前記論理和パターンを縮小させ、元の領域パターンとの論理積をとると、端部のパターンのみが抽出できる。このパターンに対して、所定のパターン補正処理をすることができる。回路パターンデータとしては、端部を除いた部分についてセルパターンとし、端部を含めて、図33に示す階層構造とすることで、回路パターン全体のデータ量の増加を抑えることができる。

【0111】投影露光時のこま収差歪みは、露光光学系の光軸中心からはなれたラインアンドスペースパターンの端部のパターンの寸法シフトとなるが、上記の方式により補正が可能となる。転写位置のずれは、パターン描画装置のステージ座標系を補正することにより、マスク描画データを増加させることなく、補正が可能となる。

【0112】(実施例3)図26は本発明の他の実施例である半導体装置の製造方法を説明するためのフロー図、図27～図28は図26の半導体装置の製造方法で用いるフォトマスクの要部断面図、図31は図1の半導体装置の製造方法で用いるフォトマスクの製造方法を説明するためのフロー図である。

【0113】実施例3においては、前記一対の矩形領域に光近接補正パターンに変えて位相シフトパターンが形成されている。ただし、一対の矩形領域に位相シフトパターンと光近接効果補正パターンの両方を形成しても良い。それ以外は、前記実施例1と同じである。

【0114】フォトマスクの全体的な構成は前記実施例1の説明で用いた図2と同じである。図2の一対の矩形領域であるメモリ回路領域A11、B11に位相シフトパターンが形成されている。位相シフト技術は、フォトマスクを透過する光の位相を操作することにより、投影像のコントラストの低下を防止する技術である。この位相シフトパターンの具体例を図22～図25によって説明する。なお、各図において(a)は(b)の図のA-A線の断面図である。図27には、例えばMOS・FETのゲートパターンを形成するのに用いられるマスクパターンが示されている。マスク基板2の主面には、例えばCr等からなる遮光膜S(ハッチングを付す)が被着され

ている。遮光膜Sの一部には、光が透過可能な矩形状の2つの開口パターン17a、17bが形成されている。一方の開口パターン17aの中央にはその開口パターン17aを2等分するように長方形の位相シフトパターン（以下、位相シフトという）18aが配置されている。また、他方の開口パターン17bには、その半分を覆うように長方形の位相シフトパターン18bが配置されている。位相シフトパターン18a、18bは、開口パターン17a、17bにおいて位相シフトパターン18a、18bのある領域と無い領域とを透過した各々の光の位相が互いに逆になるように露光光を操作する手段である。

【0115】この場合の位相シフトパターン18a、18bは、例えばSOG（Spin On Glass）法で形成された透明な酸化シリコン膜等からなる。このようなマスクパターンでは、開口パターン17a、17bにおいて位相シフトパターン18a、18bのある領域と無い領域との境界部（位相シフトパターンのエッジの部分）に対応する半導体ウエハ面位置に投影される微細な影を集積回路パターン（ゲート電極）として転写する。したがって、開口パターン17aでは、2本のゲート電極パターンを転写でき、開口パターン17bでは1本のゲート電極パターンを転写できる。このような投影露光では、図24に示す帯状の遮光膜Sのパターン19を有する遮光マスクを用いて重ね露光し、半導体ウエハ上に所定の集積回路パターン（ゲート電極）を形成する。図28には、図27の位相シフトパターン18a、18bがマスク基板2の厚さ方向に掘られた溝で形成されている場合が示されている。なお、図29の右側には開口パターン17aを3等分するように細い遮光パターンS1が配置されている場合が示されている。細い遮光パターンS1の幅は、例えば0.5 $\mu$ m程度である。この場合のフォトマスク1の露光方法は図27の場合と同じである。図30には、ラインパターンを転写するためのマスクパターンが示されている。マスク基板2の主面には、例えばCr等からなる遮光膜S（ハッチングを付す）が被着されており、その一部には、光が透過可能な矩形状の開口パターン17c～17hが互いに平行に配置されている。

【0116】また、開口パターン17c、17d、17g、17hの近傍には、それらよりも幅の狭い補助開口パターン19a～19gが、開口パターン17c、17d、17g、17hの近傍に、かつ、開口パターン17c、17d、17g、17hの長辺に平行に配置されている。これらの補助開口パターン19a～19gは、位相シフトパターン追加処理によって加えられるパターンであり、それ自体では明像を形成しないようになっており、その幅の寸法は、開口パターン17c～17hの1/3程度以下である。特に限定されないが、開口パターン17c～17hの幅は、例えば1.5 $\mu$ m程度、補助開口パターン19a～19gの幅は、例えば0.3 $\mu$ m程

度である。

【0117】さらに、開口パターン17d、17fおよび補助開口パターン19a、19d～19gには位相シフトパターン18c～18iが配置されている。この位相シフトパターン18c～18iは、例えばマスク基板2の厚さ方向に掘られた溝で形成されている。この場合、その溝はその端部が遮光膜Sの端部下に若干入り込むように形成されている。これは、溝のエッジ面の乱反射を抑えて良好な投影像を転写可能とするため等の理由からである。もちろん、位相シフトパターン18c～18iを透明膜で形成しても良い。

【0118】位相シフトパターン18c、18dは、互いに隣接する開口パターン17c～17hを透過した各々の光の位相が互いに逆になるように配置されている。また、補助開口パターン19aを透過した光の位相は、そこに配置された位相シフトパターン18eにより、開口パターン17cと透過した光の位相とは逆になるようになっており、これにより開口パターン17cの投影像のエッジが強調されるようになっている。また、補正開口パターン19b、19cを透過した光の位相は、開口パターン17dに配置された位相シフトパターン18cにより、開口パターン17dを透過した光の位相とは逆になるようになっており、これにより開口パターン17dの投影像のエッジが強調されるようになっている。

【0119】また、補正開口パターン19d、19eを透過した光の位相は、そこに配置された位相シフトパターン18f、18gにより、開口パターン17gを透過した光の位相とは逆になるようになっており、これにより開口パターン17gの投影像のエッジが強調されるようになっている。さらに、補正開口パターン19f、19gを透過した光の位相は、そこに配置された位相シフトパターン18h、18iにより、開口パターン17hを透過した光の位相とは逆になるようになっており、これにより開口パターン17hの投影像のエッジが強調されるようになっている。

【0120】次に、実施例3のフォトマスク1の製造方法および半導体装置の製造方法を図31の工程図に沿って説明する。まず、半導体装置の設計データに上記した位相シフトパターンのデータを付加する。また、光透過領域内でそれ自体では明像を形成しない微細寸法の補助開口パターンのデータを付加する。この処理は、フォトマスク1上の集積回路パターンの一部分または全部に対し、少なくとも上記した一対の矩形領域の単位で、フォトマスク1の主面内において縦横方向に対応して繰り返して配置された領域単位に対して行う（工程100）。

【0121】続いて、その集積回路パターンデータ（位相シフトパターンおよび補助開口パターンのデータを含む）を電子ビーム描画用パターンデータに変換する（工程101）。その後、その電子ビーム描画用パターンデータに基づいて、マスク基板2（図2参照）に集積回路

パターンおよび補助開口パターンを描画した後、位相シフトパターンを描画する。この際、上記した一对の矩形領域（例えばメモリ回路領域A11とメモリ回路領域B11）のマスクパターン（集積回路パターン、補助開口パターンおよび位相シフトパターン）データを電子ビーム露光装置のバッファメモリに記憶した後（工程102）、そのデータのうち、上記一对の矩形領域の一方のパターンデータを読み出して、断面形状が図形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データにショット分解し、それによって得られたデータに基づいて電子ビームを露光してマスク基板2の一方の矩形領域内にパターンを描画する（工程103）。

【0122】その後、他方の矩形領域につき、パターンデータを再度ショット分解し、それによって得られたデータに基づいて電子ビームを露光してマスク基板2の他方の矩形領域内にパターンを描画する（工程104）。なお、当該電子ビーム描画に際して、遮光膜のパターンの形成時には、フォトマスク1のマスク基板2上に、例えばCr等のような遮光膜が全面に被着されており、その上には電子線描画用の感電子線レジスト膜が塗布されている。また、位相シフトパターンの形成時には、フォトマスク1のマスク基板2上に感電子線レジスト膜が塗布されている。また、位相シフトパターンは、遮光膜のパターンに比べてパターン寸法が大であることから電子ビーム露光に代えて、レーザビーム露光を用いても良い。

【0123】この場合も、一对の矩形領域のパターンデータをレーザビーム露光装置のバッファメモリに記憶しておき、そのデータを読み出してショット分解し、その一方の矩形領域に対応してレーザビーム露光処理を施し、その後、他方の矩形領域につき、パターンデータを再度ショット分解し、その他方の矩形領域に対応してレーザビーム露光を施してフォトマスク上にパターンを形成する。

【0124】上記した一方の矩形領域のマスクパターンデータ（集積回路パターン、補助開口パターンおよび位相シフトパターンのデータ）に対し、電子ビームの偏向フィールド分割のフォーマット変更を行い、電子ビーム露光装置のバッファメモリに記憶する。この間のパターンデータのフォーマット変更、転送、記憶処理については、コンピュータ処理によって、それぞれのデータ処理の過程において異常検出が可能であり、実用レベルでの異常の発生を無くすることができる。

【0125】一方、当該バッファメモリからパターンデータを超高速に読み出し、断面形状が図形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データにショット分解して、電子ビームによりパターン描画する工程についてはパターンの異常発生は無視できない。これは、電子ビ

ーム露光装置では、パターン描画する工程において、ショット分解、ビーム偏向、ビームオンオフブランキング等の処理が、高真空中での電子ビームのチャージアップ、電子ビーム源寿命、外部電源からのノイズなどによって変動するので、電子ビームを所定の形状で所定の位置に照射することを保証することが極めて困難なことに起因する。

【0126】そこで、フォトマスク1にマスクパターン（集積回路パターン、補助開口パターンおよび位相シフトパターン）を形成する際に、上記したデータの読み出し、断面形状が図形状、矩形形状、スポット形状の一つからなる電子ビームを組合せて塗りつぶし露光が可能な露光データにショット分解することおよびパターン描画することの一連の処理を矩形領域毎に繰り返し行うようにする。すなわち、当該バッファメモリから矩形領域のマスクパターンデータを高速に読み出し、ショット分解して、パターンの描画を行う処理を上記した一对の矩形領域毎に行うようにする。これにより、電子ビーム露光装置のパターン描画において、パターンデータ自体に異常がない限り、一对の矩形領域の各々において同一位置に異常が発生することは実用レベルで発生しないので、後述する一对の矩形領域の実際のパターンを比較する工程において異常の発生を検出することが可能となる。

【0127】次いで、上述のような集積回路パターンおよび補助開口パターン形成のための電子ビーム露光処理の後、マスク基板2に対して現像処理を施して電子線レジストパターンを形成し、これをエッチングマスクとしてエッチング処理を施して遮光膜をパターニングすることにより、マスク基板2上に集積回路パターンおよび補助開口パターンを形成する。その後、位相シフトパターン形成のための電子ビーム露光処理後、マスク基板2に対して現像処理を施して電子線レジストパターンを形成し、これをエッチングマスクとしてエッチング処理を施して、溝または透明膜による位相シフトパターンを形成して、フォトマスク1を製造する（工程105）。

【0128】続いて、フォトマスク1の外観検査を行う（工程106）。この際、本実施の形態2においては、少なくとも上記した一对の矩形領域に対しては双方の領域のパターン同士を比較する。すなわち、フォトマスク1における実際に形成されたパターン同士を比較検査する。これにより、集積回路パターンの1/3程度の寸法しかない微細なパターンの良否をも確実に容易に検査することが可能となる。また、問題となる位相シフトパターンの位相差誤差についても、その実際のフォトマスク1上のパターンの比較によって良否判定が可能となる。このフォトマスク1の具体的なパターン検査方法は前記実施の形態1において図7等を用いて説明したのと同じなので、ここでは説明を省略する。また、図2の周辺回路領域A00についての検査も前記実施の形態1と同

じなので説明を省略する。

【0129】続いて、比較により判明したパターンの差異部の寸法、光検出強度による分類を行い、そのデータと共に、フォトマスク1における当該差異の発生箇所的位置座標データを記憶する。上記差異の発生箇所について、その位置座標データに従ってフォトマスク1の外観を観察し上記異常箇所の異常内容を、例えば遮光部の欠け、残りパターン欠陥、付着異物欠陥などに分類して欠陥の良否判定を行う。

【0130】このような検査において、上記一対の矩形領域以外の領域のフォトマスク1上におけるパターンの少なくとも一部の領域に対しては、上記した位相シフトパターンや補助開口パターンを設けていないので、その箇所におけるパターンの検査は、そのパターンの上記のようにして得られた画像データと、フォトマスク1上にパターンを形成する際に用いたマスクパターンデータとの比較検査によって、パターンの外観検査を行うことが可能である。

【0131】次いで、このような検査工程の後、検査結果に基づいて修正する。修正に際しては、比較検査でパターンが相違した箇所において、比較された双方のパターンの大きさや形状等が実質的に等しくなるように修正あるいは付着異物除去を行う。

【0132】続いて、このようにして得られたフォトマスク1を縮小露光装置に設置した後、縮小投影露光により、フォトマスク1のパターンを半導体ウエハに転写する(工程107)。この際、位相シフトパターンや補助開口パターンが配置された箇所では、露光光の干渉を利用して、フォトマスク上のパターンを半導体ウエハ上に精度良く転写することが可能である。

【0133】その後、現像、エッチング等の一連のウエハプロセス処理を経て、半導体ウエハ上に所定の集積回路パターンを形成する(工程108)。その後、本実施の形態2においても、半導体ウエハ上に実際に転写された集積回路パターンを比較することでフォトマスク1上のパターンの良否を判定することも可能である(工程109)。すなわち、半導体ウエハにおいてフォトマスク1のメモリ回路領域A11が転写されて形成された集積回路パターンと、半導体装置の設計データとを比較することで良否判定することもできるし、あるいはフォトマスク1のメモリ回路領域A11が転写されて形成された集積回路パターンと、フォトマスク1のメモリ回路領域B11が転写されて形成された集積回路パターンとを比較することで良否判定することもできる。

【0134】これにより、集積回路パターンを形成するためのフォトリソプロセス中に発生したランダム欠陥や付着異物を発見することが可能となる。すなわち、半導体ウエハ上に集積回路パターンを形成するプロセス処理の途中においてフォトマスク1に発生した、遮光膜の欠け、残り、位相シフトパターンの欠け、残り、付着

異物および位相シフトパターンの位相差誤差などの異常を、半導体ウエハ上に形成された一対の矩形領域のパターン間の比較によって検出することが可能となる。本実施の形態3においても、半導体装置のマスクパターンデータとの比較を行わなくても、フォトマスクに形成されたパターンの信頼性の高い検査が可能である。このように本実施の形態2によれば、位相シフトパターンや補助開口パターンを有するフォトマスク1であっても、その検査工程において異常の摘出や良否判定、特に位相差誤差の有無の検査を確実にしかも容易に行うことが可能となる。

【0135】次に、図26のマスクプロセス処理(工程105)を図31のフロー図によって詳細に説明する。フォトマスクのマスク基板は、例えば屈折率が1.47の透明な合成石英ガラスからなる。まず、このマスク基板の主面上に、例えばCr等からなる遮光膜をスパッタリング法等によって形成した後(工程201)、その主面上に感電子ビームレジストをスピン塗布する(工程202)。

【0136】続いて、上記した電子ビーム露光装置を用いて、フォトマスク1の主面上の感電子ビームレジスト膜に対して電子ビームを照射することにより、所定の集積回路パターンを描画する(工程203)。この電子ビーム描画装置では、集積回路パターン(補助開口パターンも含む)の個々の図形の寸法や位置座標などの情報を記述したパターンデータに基づいて、電子ビームを所定の形状にして、感電子ビームレジスト膜の所望の位置に照射する。ここで用いるパターンデータは、フォトマスク1上の光透過領域または遮光領域の一方に対応したものであり、通常、電子ビームの照射面積が少なくなるように、ポジ形レジストとネガ形レジストとを選択する。例えばコンタクトホール等のパターンに対しては、ポジ形レジストを用いることで、露光面積を少なくすることができる。

【0137】この露光工程では、上記のパターンの他に、マスク基板の周辺部の一部に位相シフトパターン形成用の2つの位置合わせマークのパターンを同時に露光する。特に限定されないが、このパターンは、例えば100 $\mu$ m程度の大きさのクロスマークを用いている。また、上記パターンに加えて、上記したマスク基板の転写領域の周辺部に半導体ウエハとの位置合わせマーク用のパターンを同時に露光する。この位置合わせマークのパターンは、縮小投影露光装置に対応して指定されるものである。

【0138】このような描画処理の後、ポジ形レジストでは露光領域、ネガ形レジストでは未露光領域に対して、その領域内のレジスト膜を現像液により除去する(工程204)。現像処理後、当該レジスト膜のパターンから露出した遮光膜をエッチング除去する。遮光膜のエッチング処理は、例えば硝酸セリウム、第二アンモニ

ウムなどの湿式エッチングを用いて行うことができる（工程205）。このようなエッチング処理後、レジスト膜を除去し、マスク基板に対して洗浄処理を施す（工程206）。

【0139】上記した遮光膜のパターンを形成した後、そのマスク基板上に、化学増幅系電子ビームレジストを塗布し、さらに、その上に導電性ポリマーを塗布する（工程207）。その後、上記した位置合わせ用のクロスマークを電子ビーム描画装置を用いて位置検出し、このマスク基板上に形成した遮光膜のパターンの座標系を合わせ、電子ビームを照射することで、所望のパターンを所定の位置に描画する。ここで、電子ビームを照射するパターンは、位相シフト領域（ $\phi = \pi$  領域）とするパターンである。電子ビーム描画装置の描画精度に関して、パターンの重ね合わせは、例えば $0.1 \mu\text{m}$ 以下にすることができるので、この方式は、縮小率 $1/5$ の露光装置のフォトマスク（レチクル）に適用できる。上記の電子ビームレジストは、例えば化学増幅系のポジ形レジストを用いている（工程208）。

【0140】続いて、ベーク処理の後、現像処理を施すことにより、レジストの露光部分を除去してレジストパターンを形成する（工程209）。化学増幅系電子ビームレジスト材料と導電性ポリマー材料との組合せによっては、導電性ポリマーを水洗除去した後、ベーク処理を行うようにしても良い。

【0141】その後、そのレジストパターンをマスクとしてエッチング処理を施すことにより、マスク基板に所定深さの溝を選択的な領域に形成して位相シフトパターンを形成する（工程210）。この溝の深さ $d$ は、露光光の波長を $\lambda$ 、マスク基板材料の屈折率を $n$ とすると、 $d = \lambda/2 (n-1)$  の関係を満たすように設定すればよいのであるが、エッチング終点判定を決めるのに以下の方法を採用することで溝形成精度を向上させることが可能である。

【0142】まず、エッチング処理として、例えば平行平板形のプラズマエッチング処理を行う。エッチングガスとしては、例えば $\text{CF}_4$  または $\text{CHF}_3$  などを用いることができる。問題となるエッチング条件は、エッチング時間で設定する。この場合、プラズマエッチングの再現性は目標とする位相差の誤差に対して充分ではない。そこで、マスク基板にエッチング処理によって溝を形成することで位相シフトパターンを形成する場合、まず、目標の深さの90%程度の深さの溝をドライエッチング処理によって時間設定をして形成し、続いて、エッチング領域と未エッチング領域とに関して光学的に位相差を測定し、目標の位相差を得ることが可能な溝の深さとの誤差を求める。光学的に位相差を測定する際、マスク基板上にはレジストパターンが形成されたままであり、エッチング領域に対して未エッチング領域は、マスク基板上においてドライエッチング処理前にマスク基板

の露出領域を局所的にマスクする方法を採用した。

【0143】エッチング前に測定箇所とリファレンス基板との相対位相差を記憶しておき、エッチング処理後に同一箇所と比較する方式を採用しても良い。いずれにしても、上記エッチング処理後に位相差測定によって、目標とするエッチング深さに対する誤差を求める（工程211）。その後、フッ酸（ $\text{HF}$ ）水溶液を用い、マスク基板に対してウエットエッチング処理を施す（工程212）。これにより、当該溝の所望の深さに対する誤差を減らすとともに、ドライエッチング処理で生じたマスク基板の表面のダメージを低減して滑らかにし、かつ、マスク基板面に付着する微小異物を低減することが可能となる。すなわち、とこのウエットエッチング処理によって、マスク基板に所望の深さの溝からなる位相シフトパターンを精度良く形成することができるとともに、ドライエッチングダメージおよび付着異物を低減することが可能となっている。したがって、フォトマスク間の製造ばらつきを実質的に小さくでき、マスク透過光の位相差を所望の値に設定することができる。

【0144】このようなエッチング処理の後、レジストを除去しマスク基板に対して洗浄処理を施し、前記したフォトマスクの外観検査工程（工程106）を経て、透過光の位相差誤差の少ない位相シフトパターンを有するフォトマスクを製造することができる。

【0145】このようなエッチング方法（ドライエッチング方法とウエットエッチング方法との組合せによる方法）は、本来位相シフトパターンを形成すべき領域が欠陥によって形成されていなかった領域を修正する工程に応用することができる。

【0146】まず、当該欠陥箇所を含む光透過領域に集束イオンビームを照射して、当該箇所のマスク基板部分をスパッタリング除去し、マスク基板に所定深さの約90%程度の深さの溝をイオンビーム照射時間の設定または走査回数の設定によって形成する。この集束イオンビーム加工方法については、例えば特願平2-247100号に記載してある。すなわち、イオン源から放射されたイオンビームを集束レンズ等によって細く絞り、かつ、偏向器等によって所定の位置に照射することで当該照射箇所を除去したり、当該照射ガスに所定の反応ガスを流すことで所定の導体膜を成膜したりする技術が開示されている。このイオンビーム照射前に、試料表面にエッチングを促進させるガスを添加することで加工速度の向上が図れる。

【0147】また、例えば塗布形の透明膜（SOG（Spin On Glass）膜）で位相シフトパターンを形成した場合、位相シフトパターンを形成するための透明膜が余分な領域に残されているのを除去するのに、上記した所定のガスを添加した状態での集束イオンビームを用いることで、マスク基板とのエッチング選択比を大きくすることができ良好なパターン形成が可能となる。

【0148】続いて、上記と同様に位相シフトパターン形成後のフォトマスクの透過光を測定して位相差を測定して、所定の位相差との誤差を求め、その結果に基づいて誤差を無くすべく、再度、マスク基板の所定の領域に集束イオンビームを照射して位相シフトパターン用の溝の深さ補正を行う。この場合の照射量は、上記した所定の位相差との誤差測定結果によって決められる。今回は、例えばゼノンフロライドガスなどを添加しながら、集束イオンビームを照射することで、最初のイオンビーム照射によるマスク基板のダメージを低減させ、かつ、マスク基板に透過光において良好な位相差を形成できる所定深さの溝を形成する。これにより、本来位相シフトパターンを形成すべき領域が欠陥によって形成されなかった領域を高い精度で修正することが可能となる。

【0149】このように、本実施の形態2においては、フォトマスク1に、位相シフトパターンや集積回路パターンよりも微細な補助開口パターンを有し、かつ集積回路パターンに位置座標を歪ませる場合でも、パターンの形成とそれらのパターンの良否を確実にかつ容易に検査することができる。したがって、欠陥のない高い品質のフォトマスク1を製造することが可能となる。また、そのフォトマスク1を用いて露光処理することにより、その露光処理において透過光に位相差を設けることが良好に行うことができ、像の解像度および焦点深度を増大させ、縮小投影露光に際しての重ね合わせ精度が良くなるので、半導体基板上に所望の形状および寸法の集積回路パターンを良好に転写することができる。したがって、半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0150】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0151】例えば前記実施例1、2においては、それぞれ光近接効果補正パターンおよび位相シフトパターンを有する領域についてフォトマスクに對をなす領域を設け、それらの領域のパターン同士を比較してパターンの外観検査を行う場合について説明したが、これに限定されるものではなく、例えばフォトマスクに微小斜め図形パターンまたは特定形状図形パターンが存在する場合には、それらの図形を有する領域と對をなすように、その領域と同じパターン構成の領域をフォトマスクに設け、それらの領域のパターン同士を比較してパターンの外観検査を行うようにしても良い。また、前記実施例1、2においては、DRAMの製造方法に本発明を適用した場合について説明したが、これに限定されるものではなく種々適用可能であり、例えばSRAMやフラッシュメモリ（EEPROM（Electrically Erasable Programmable ROM））の製造方法あるいはマイクロプロセッサ等のような論理回路の製造方法に適用することもできる。

【0152】また、前記実施例1においては、接続孔の投影像の歪みを補正すべく接続孔パターンの近傍に近接効果補正パターンを配置している領域を有するフォトマスクの検査に本発明を適用した場合について説明したが、これに限定されるものではなく、接続孔の投影像のエッジを強調すべく接続孔パターンの近傍に補助開口パターンを設け、かつ、そこに位相シフトパターンを配置している領域を有するフォトマスクの検査にも本発明を適用できる。

【0153】また、前記実施例1においては、マスク上への回路パターンの描画に電子ビームを用いているが、レーザビームを用いることができる。逆に、マスクの外観検査にレーザビームを用いているが、電子ビームを用いることができる。

【0154】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではなく、例えば液晶基板の製造技術等に適用できる。

【0155】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0156】(1).本発明によれば、マスク描画装置、マスク検査装置のステージ座標系を所定量歪ませ、同一フォトマスク基板上の一对の領域の各々に実際に形成されたパターン同士を比較することでパターンの良否を検査することにより、フォトマスク基板上に、集積回路パターンに対し、より微細な光近接補正効果用の転写歪み補正用パターンまたは微細な位相シフト補助パターンまたは透過領域内の位相シフトパターンを付加した上に、投影露光光学系の位置座標歪補正して、その補正パターンの良否を確実にかつ容易に検査することができる。したがって、欠陥がなく、転写パターン歪みの少ない重ね合わせ精度の高いフォトマスクを製造することが可能となる。

【0157】(2).本発明によれば、第1領域および第2領域毎にパターンデータのショット分解および露光処理を時間的に差を付けて別々に行うことにより、フォトマスクのパターン形成に用いるマスク描画装置に起因するパターン異常を検出することが可能となる。

【0158】(3).本発明によれば、上記(1)、(2)のマスクを用いて露光処理することにより、その露光処理において光近接効果補正などの回路パターン歪み補正と転写パターン位置歪み補正を良好に行うことができ、像の解像度、焦点深度を増大させ、重ね合わせ精度を向上させることができるので、半導体基板上に所望の形状および寸法の集積回路パターンを良好に転写することができる。したがって、半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0159】(4).本発明によれば、同一マスク内の一對の領域の各々に実際に形成されたパターン同士を比較することでパターンの良否を検査することにより、フォトマスクに、位相シフトパターンや集積回路パターンよりも微細な補助開口パターンが配置された領域がある場合でも、その位相シフトパターンや補助開口パターンの良否を確実にかつ容易に検査することができる。したがって、欠陥のない高い品質のマスクを製造することが可能となる。

【0160】(5).本発明によれば、上記(1)、(4)のフォトマスクを用いて露光処理することにより、その露光処理において、光近接効果補正、透過光の位相差操作を良好に行うことができ、像の解像度および焦点深度を増大させることができるので、半導体基板上に所望の形状および寸法の集積回路パターンを良好に転写することができる。したがって、半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

【0161】(6).本発明によれば、縮小投影光学装置において、5Xステップと4Xスキャナとを組合わせて回路パターンを形成する場合に重ね合わせ精度を向上させることができる。また、投影レンズの転写位置精度が不十分であっても、マスクパターンの位置座標を歪ませることによって、ウエハ上への集積回路パターンを良好に転写することができる。したがって、半導体装置の歩留まり、信頼性および性能を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造方法を説明するためのフロー図である。

【図2】図1の半導体装置の製造方法で用いるフォトマスクの全体平面図である。

【図3】(a)、(b)、(c)は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図である。

【図4】フォトマスク上に形成した等間隔配列の基準マークパターンを光縮小投影露光によりウエハ上に転写し、そのマークパターンの位置誤差を拡大表示した一例を示す位置誤差表示図である。

【図5】図4の位置誤差をフォトマスク上に歪み補正して形成するパターンの位置補正ベクトルの説明図である。

【図6】図5のフォトマスク上の位置誤差を座標変換して、形成したパターンの位置座標を補正して検査する方式の説明図である。

【図7】図1の半導体装置の製造方法で用いるマスク描画装置の説明図である。

【図8】図1の半導体装置の製造方法で用いるマスク検査装置の説明図である。

【図9】図1の半導体装置の製造方法で用いる電子ビーム露光装置の説明図である。

【図10】図9の電子ビーム露光装置の要部の説明図である。

【図11】図9の電子ビーム露光装置の要部の説明図である。

【図12】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図13】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図14】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図15】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図16】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図17】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図18】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図19】図1の半導体装置の製造工程中における具体的な半導体装置の要部断面図である。

【図20】図12～図19の半導体装置の製造工程におけるフォトリソグラフィ工程を抜き出したフロー図である。

【図21】基準マークパターンを0度、90度、180度、270度回転して位置座標を測定し、各測定パターンの差分を小さくすることによるマスク描画位置の合わせ込みの測定例を示す図である。

【図22】(a)、(b)は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図である。

【図23】(a)、(b)は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図である。

【図24】(a)、(b)は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図である。

【図25】(a)、(b)は図2のフォトマスクに形成された光近接効果補正パターンを説明するためのフォトマスクの要部平面図である。

【図26】本発明の他の実施の形態である半導体装置の製造方法を説明するためのフロー図である。

【図27】(a)は図21の半導体装置の製造方法で用いるフォトマスクの要部断面図、(b)はそのA-A線の断面図である。

【図28】(a)は図21の半導体装置の製造方法で用いるフォトマスクの要部断面図、(b)はそのA-A線の断面図である。

【図29】(a)は図21の半導体装置の製造方法で用いるフォトマスクの要部断面図、(b)はそのA-A線の断面図である。

【図30】(a)は図21の半導体装置の製造方法で用いるフォトマスクの要部断面図、(b)はそのA-A線の断面図である。

【図31】図1の半導体装置の製造方法で用いるフォトマスクの製造方法を説明するためのフロー図である。

【図32】(a)は位相シフトマスク露光の説明図、(b)は斜方照明露光、変形照明露光の説明図である。

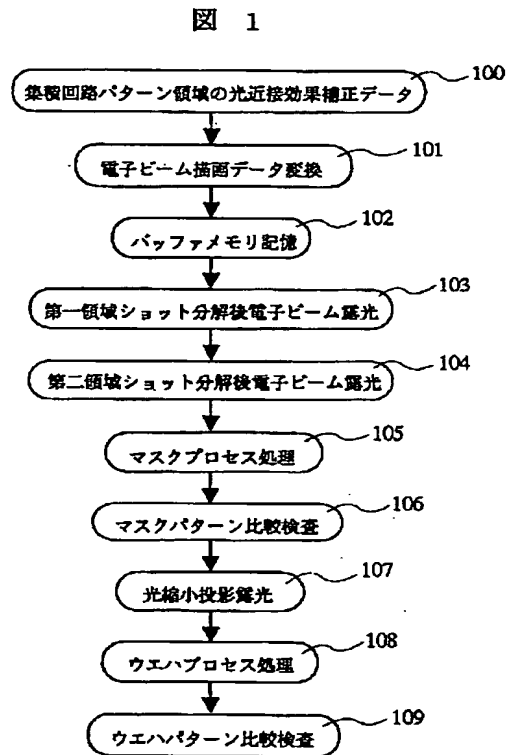
【図33】図1の半導体装置の製造方法で用いるマスクデータの階層構造を示す説明図である。

【符号の説明】

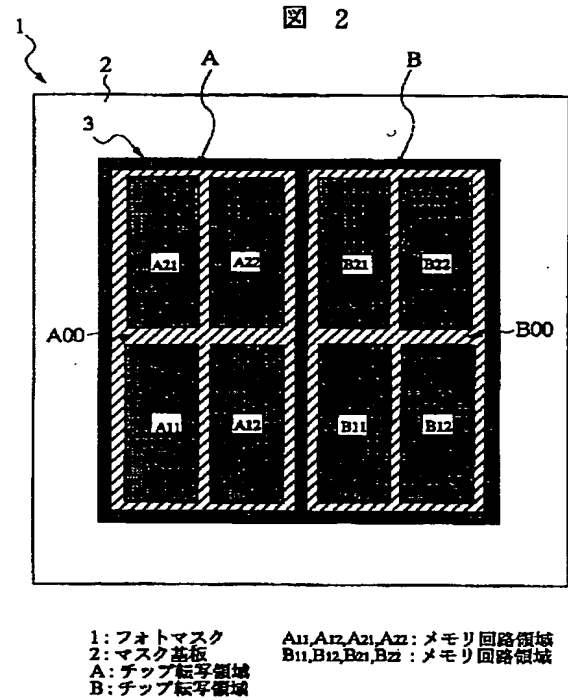
- |            |             |               |               |
|------------|-------------|---------------|---------------|
| 1          | フォトマスク      | 5 PC          | 移動制御部         |
| 2          | マスク基板       | 5 Q           | 第3偏向信号発生部     |
| 3          | 遮光帯         | 5 QC          | 第3偏向器制御部      |
| 4          | マスク検査装置     | 5 R           | ステージ制御部       |
| 4 A        | XYθステージ     | 5 S           | 電子検出器         |
| 4 B        | ステージ駆動系     | 5 T           | 信号処理部         |
| 4 C        | ステージ制御部     | 5 U1, 5 U2    | ステージ          |
| 4 D        | レーザ干渉計      | 6 a0          | 矩形開口パターン      |
| 4 E        | 検査光源        | 6 a1 ~ 6 a5   | 一括転写パターン      |
| 4 F1, 4 F2 | レンズ         | 10 7          | 半導体ウエハ        |
| 4 G        | イメージセンサ     | 7 s           | 半導体基板         |
| 4 H        | 記憶部         | 8 n           | nウエル          |
| 4 I        | 画像データ比較部    | 8 p           | pウエル          |
| 5          | 電子ビーム露光装置   | 9             | フィールド絶縁膜      |
| 5 A        | ステージ        | 10 g          | ゲート電極         |
| 5 B        | 電子ビーム源      | 10 i          | ゲート絶縁膜        |
| 5 C1       | 第1アパーチャ     | 10 p d        | 半導体領域         |
| 5 C1a      | 開口パターン      | 10 n d        | 半導体領域         |
| 5 C2       | 第2アパーチャ     | 11 a ~ 11 c   | 層間絶縁膜         |
| 5 C2a      | 開口パターン      | 20 12 L       | 第1層配線         |
| 5 C3       | 第3アパーチャ     | 12 R          | 抵抗            |
| 5 D        | ブランキング電極    | 13 a, 13 b    | 接続孔           |
| 5 E        | 電子レンズ       | 14 a          | 金属膜           |
| 5 F1       | 第1偏向器       | 14 L          | 第2層配線         |
| 5 F2       | 第2偏向器       | 15 L          | 第3層配線         |
| 5 F3       | 第3偏向器       | 16            | 表面保護膜         |
| 5 G        | レーザ干渉計      | 17 a ~ 17 h   | 開口パターン        |
| 5 H        | 制御計算機       | 18 a ~ 18 i   | 位相シフトパターン     |
| 5 I        | 描画データ記憶部    | 19 a ~ 19 g   | 補助開口パターン      |
| 5 J        | バッファメモリ     | 30 A, B       | チップ転写領域       |
| 5 K        | 演算部         | A00, B00      | 周辺回路領域        |
| 5 L        | ブランキング信号発生部 | A11           | メモリ回路領域(第1領域) |
| 5 LC       | ブランキング制御    | A12, A21      | メモリ回路領域(第2領域) |
| 5 M        | 第1偏向制御信号発生部 | A22           | メモリ回路領域       |
| 5 MC       | 第1偏向制御部     | B11           | メモリ回路領域(第2領域) |
| 5 N        | 第2偏向制御信号発生部 | B12, B21, B22 | メモリ回路領域       |
| 5 NC       | 第2偏向制御部     | TH            | 接続孔パターン       |
| 5 P        | 移動制御信号発生部   | H1 ~ H6       | 補正パターン        |
|            |             | L1, L2        | 配線パターン        |
|            |             | 40 L1a        | 大面積パターン部      |
|            |             | L1            | 引き出しパターン部     |
|            |             | L2a           | 幅広パターン部       |
|            |             | L2b           | 引き出しパターン部     |
|            |             | L3            | 長方形パターン       |
|            |             | L3a           | 長方形パターン       |
|            |             | EB            | 電子ビーム         |
|            |             | S             | 遮光膜           |
|            |             | S1            | 遮光パターン。       |



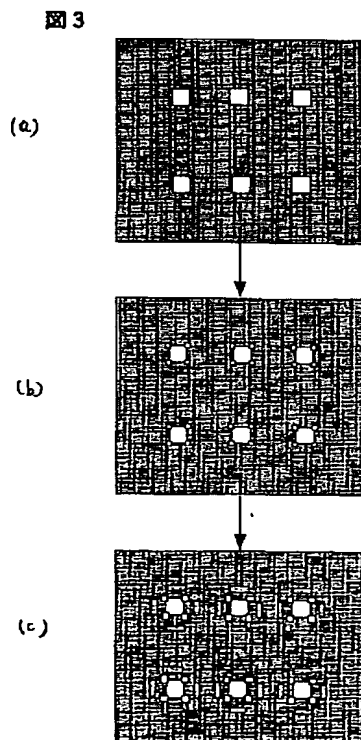
【図1】



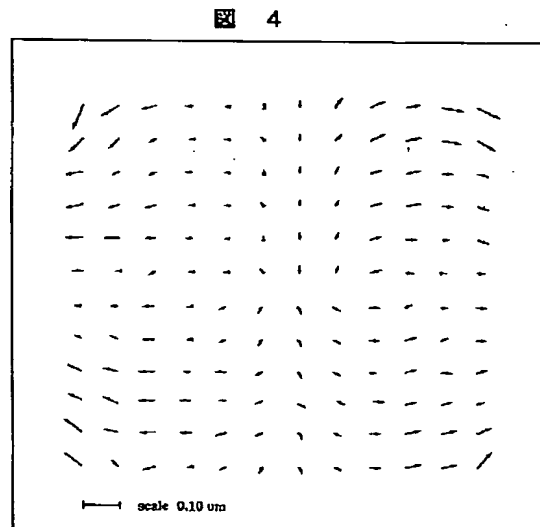
【図2】



【図3】

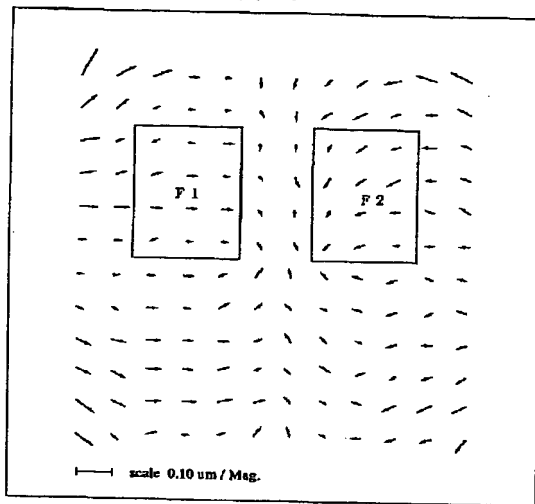


【図4】



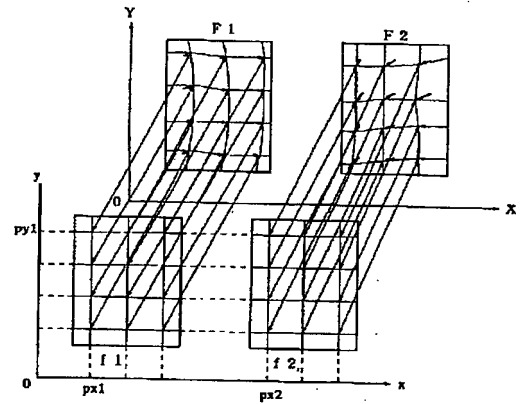
【図5】

図 5



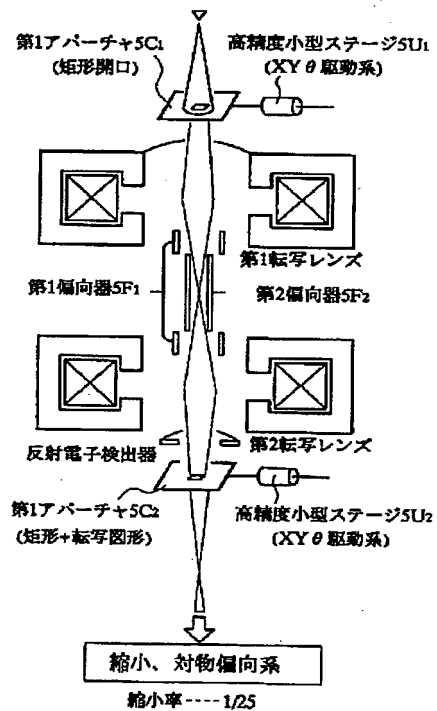
【図6】

図 6



【図11】

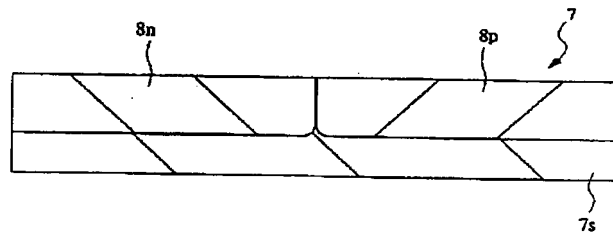
図 11



F 1				F 2			
py1	(0.03,0.02)	(0.02,0.00)	(0.04,0.00)	(-0.03,-0.02)	(-0.05,-0.02)	(-0.04,-0.01)	
	(0.04,0.02)	(0.03,0.00)	(0.02,0.00)	(-0.03,-0.04)	(-0.03,-0.02)	(-0.04,-0.02)	
	(0.04,0.00)	(0.03,0.00)	(0.03,0.00)	(-0.02,-0.02)	(-0.03,0.01)	(-0.02,0.00)	
	(0.02,0.02)	(0.02,0.00)	(0.02,0.00)	(-0.02,-0.02)	(-0.02,-0.01)	(-0.02,0.00)	
	px1			px2			

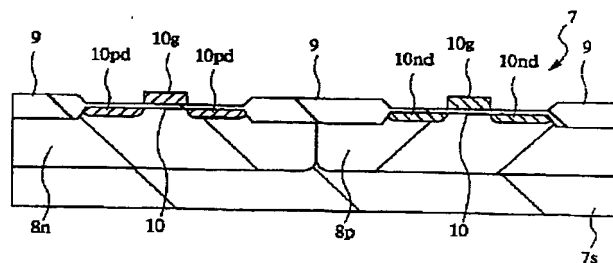
【図12】

図 12

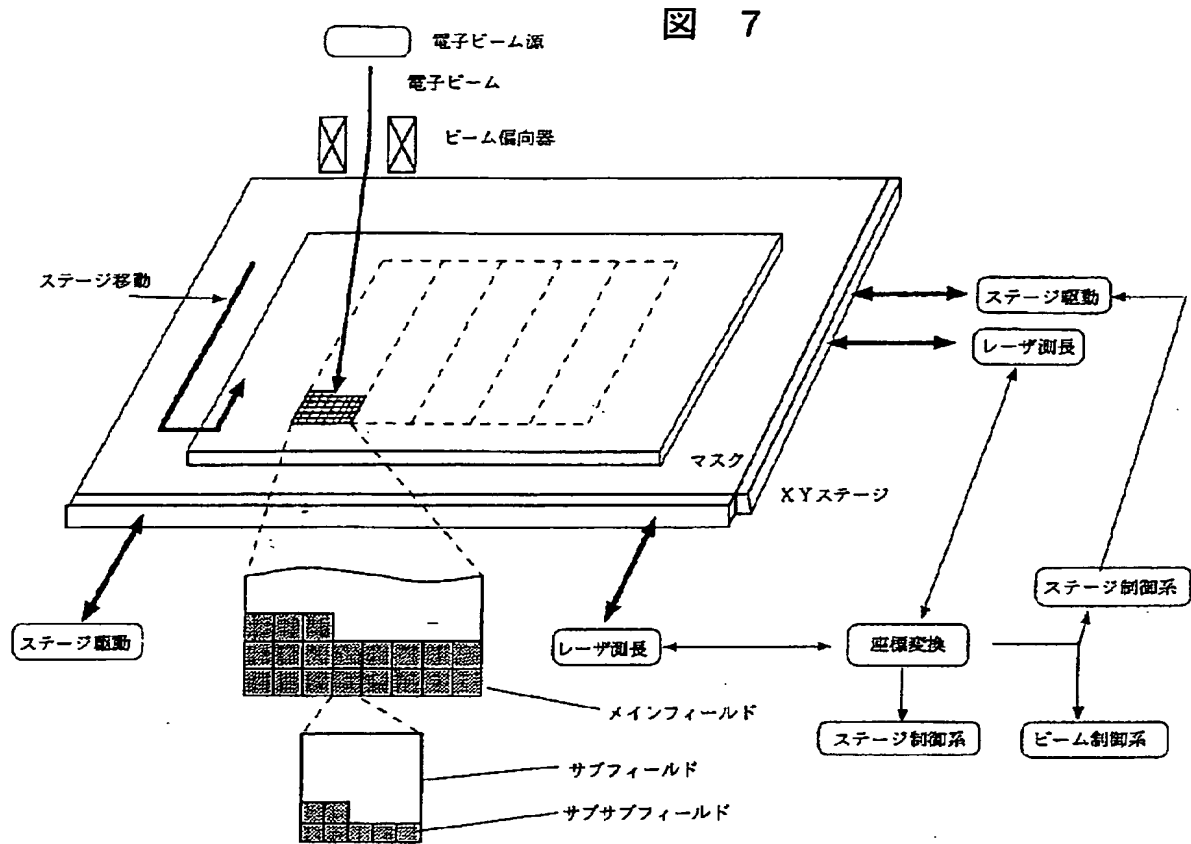


【図13】

図 13

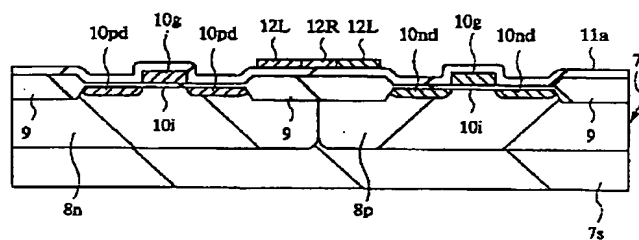


【図7】



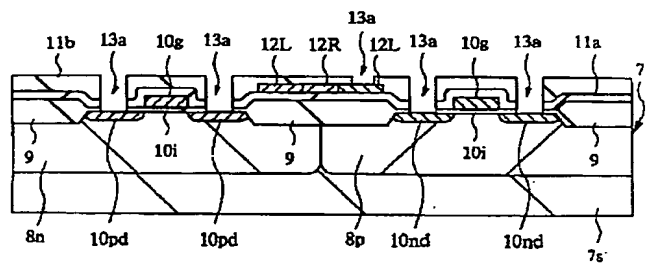
【図14】

図 14

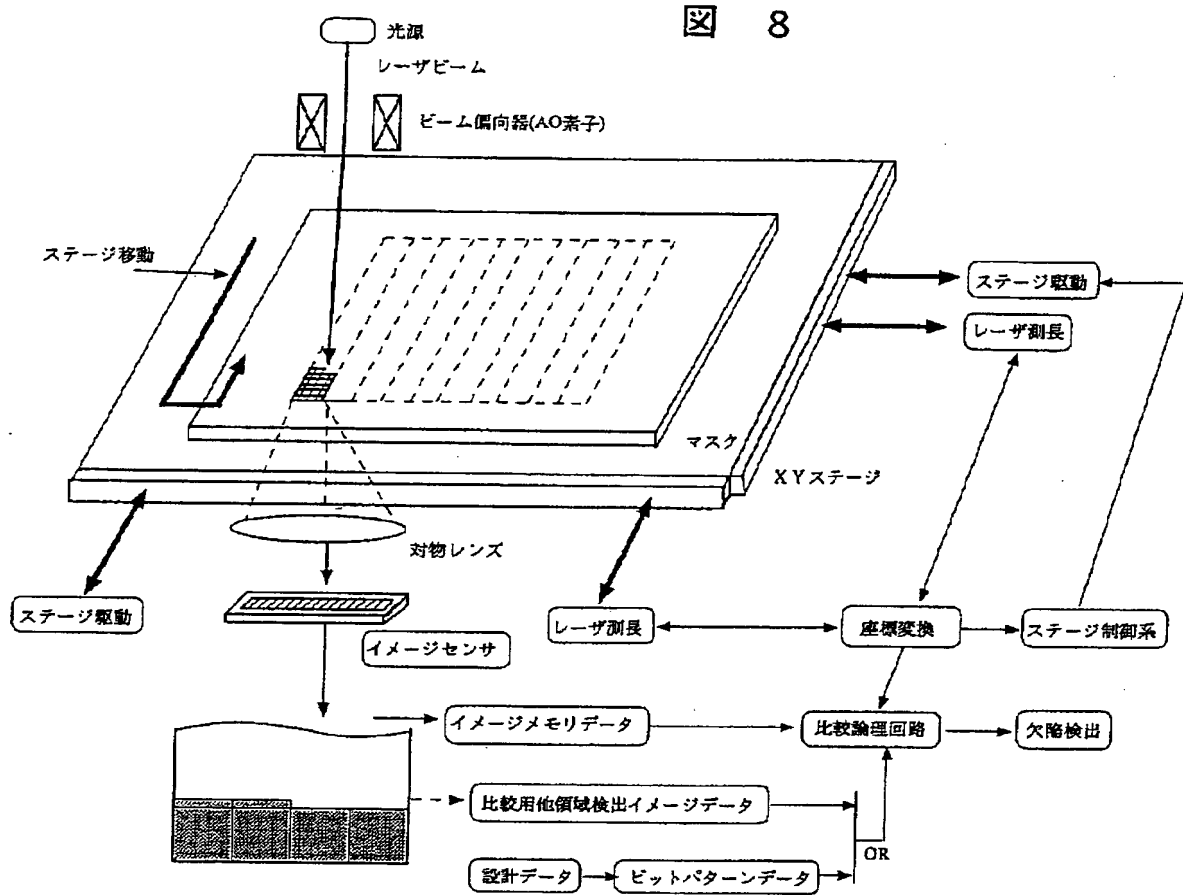


【図15】

図 15

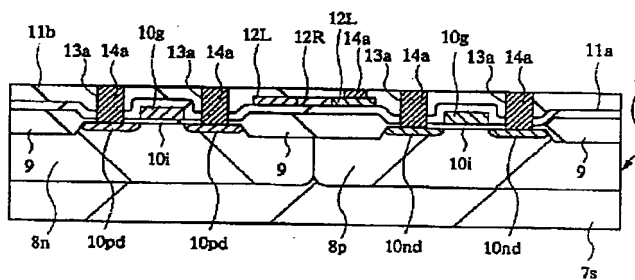


【図8】



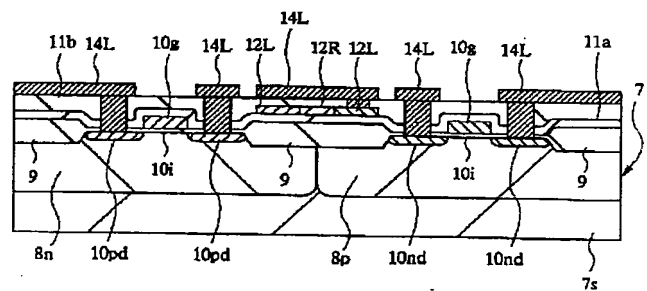
【図16】

図 16.



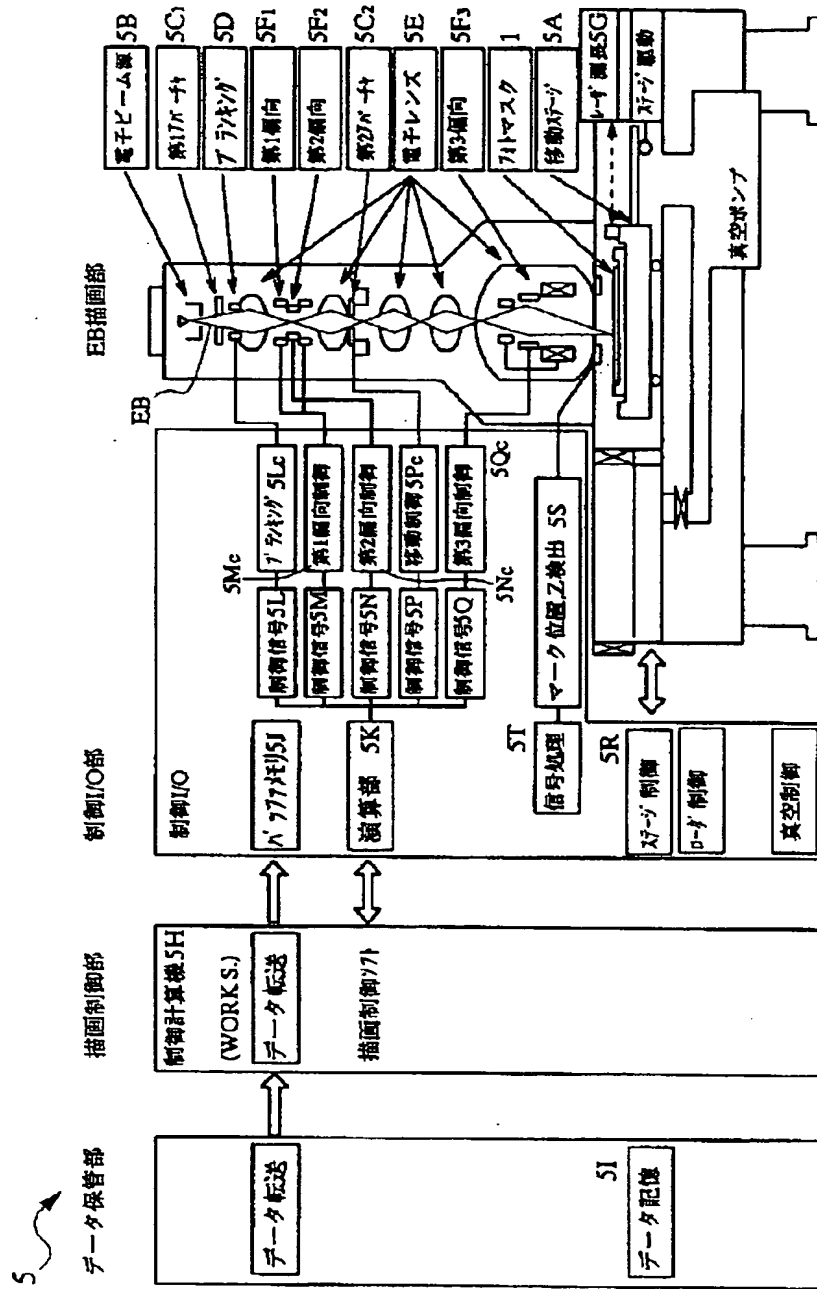
【図17】

図 17



【図9】

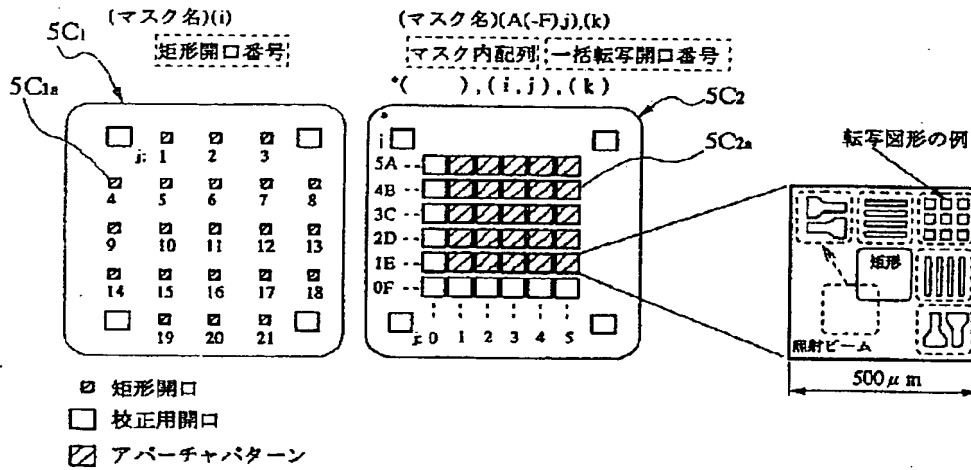
図 9



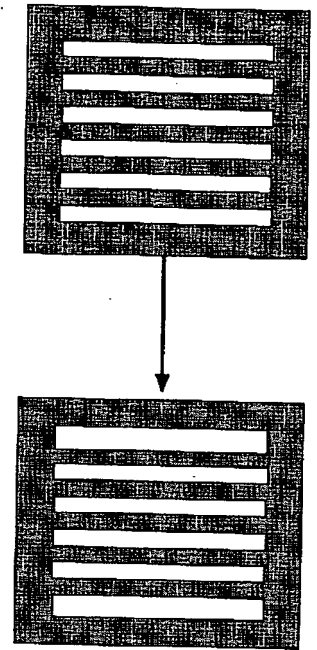
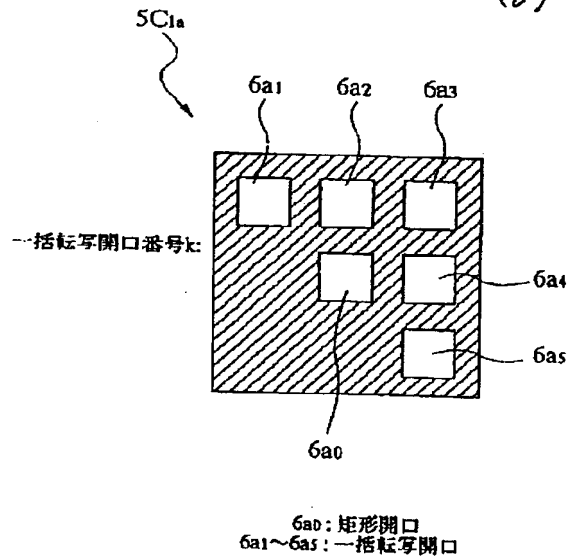
【図10】

【図25】

図 10 (a)

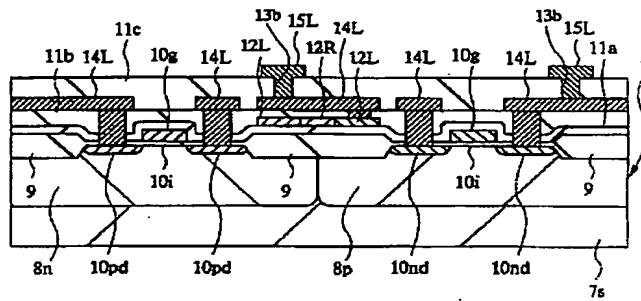


(b)



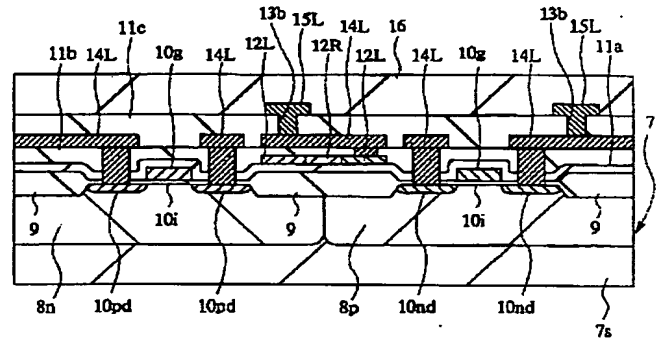
【図18】

図 18



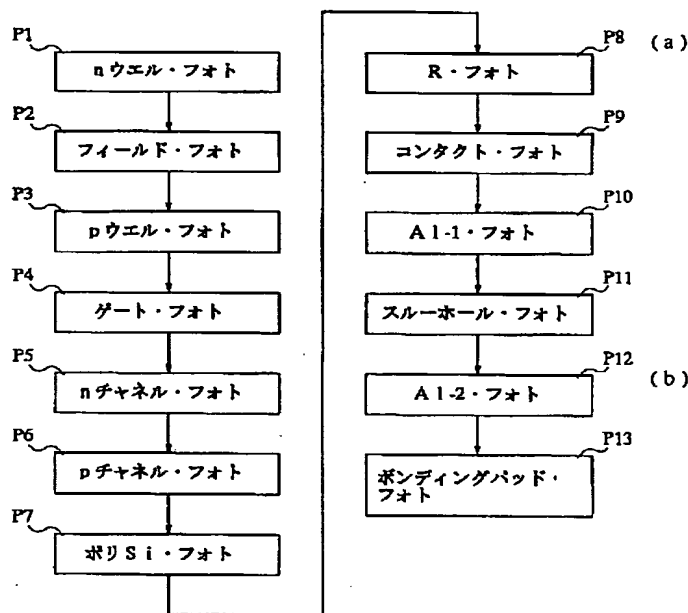
【図19】

図 19



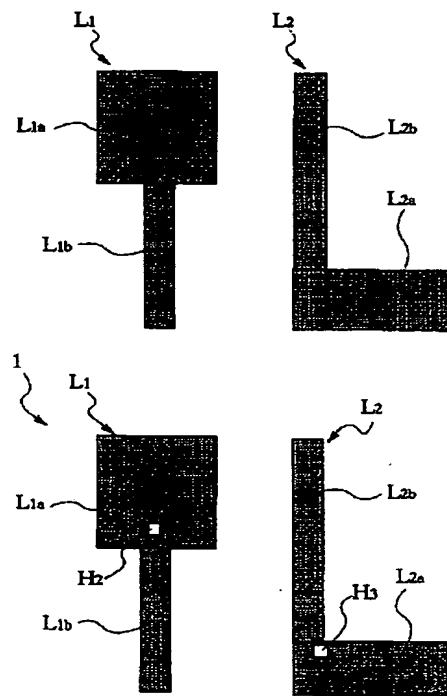
【図20】

図 20



【図22】

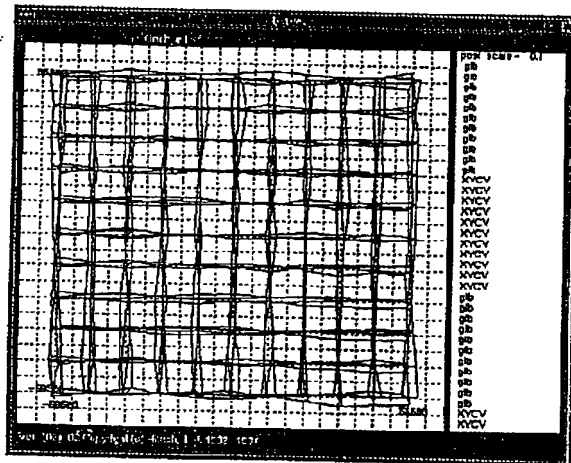
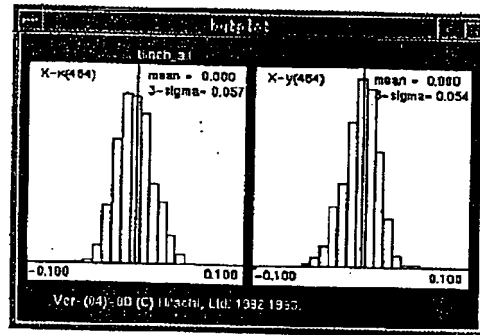
図 22



H2, H3: 補正パターン

【図21】

図 2 1

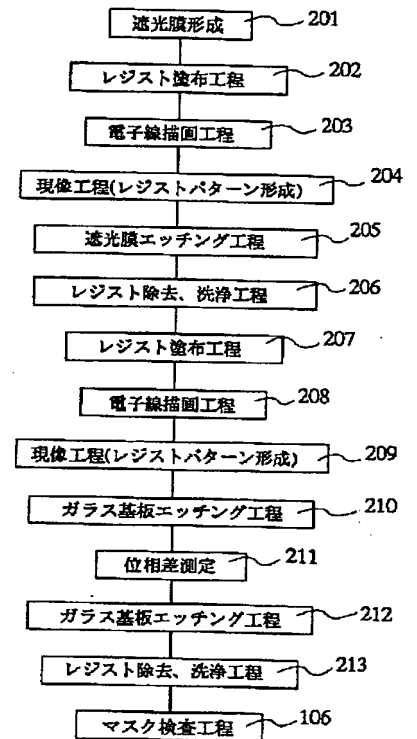


### Pattern Positioning Accuracy

Pattern placement accuracy on a plate is measured by  
by 4 times right angle rotated and overlapped.  
plate : 6025

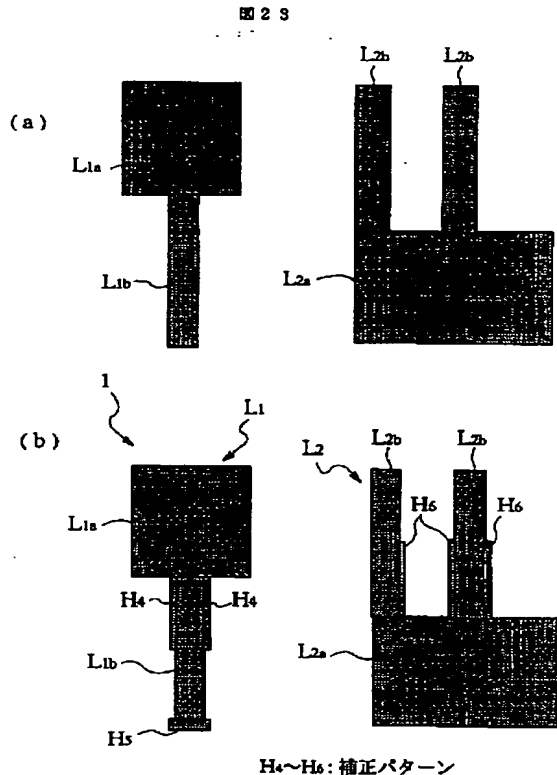
【図31】

図 31

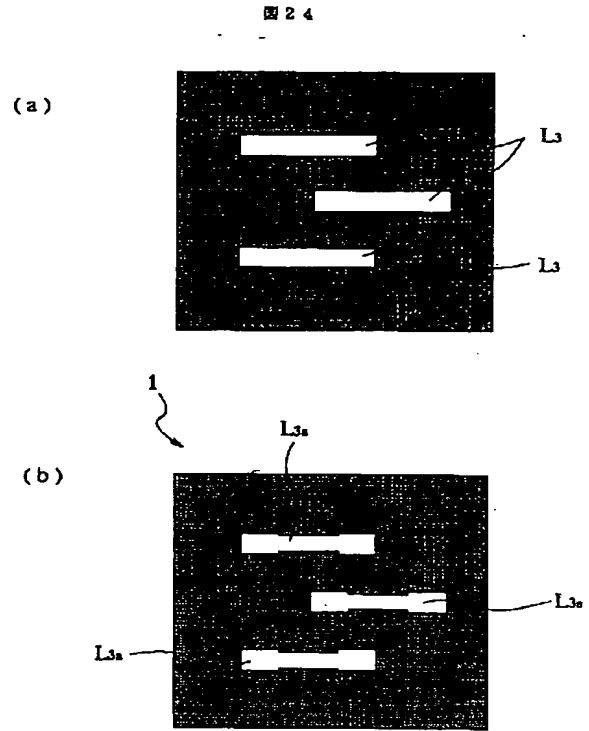




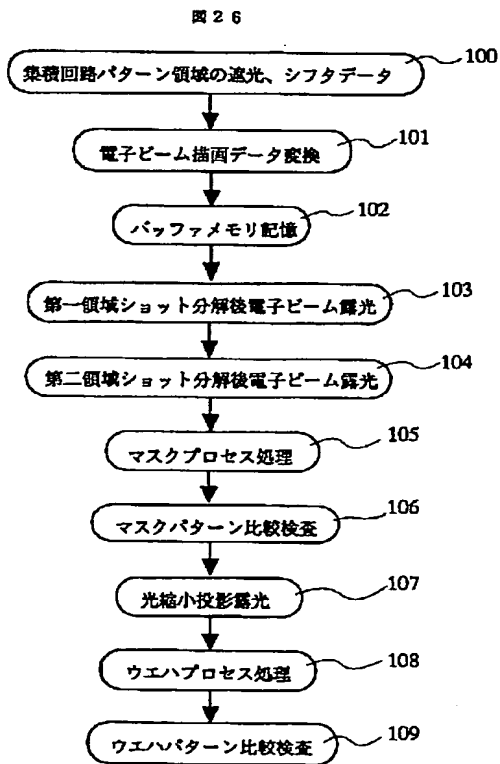
【図23】



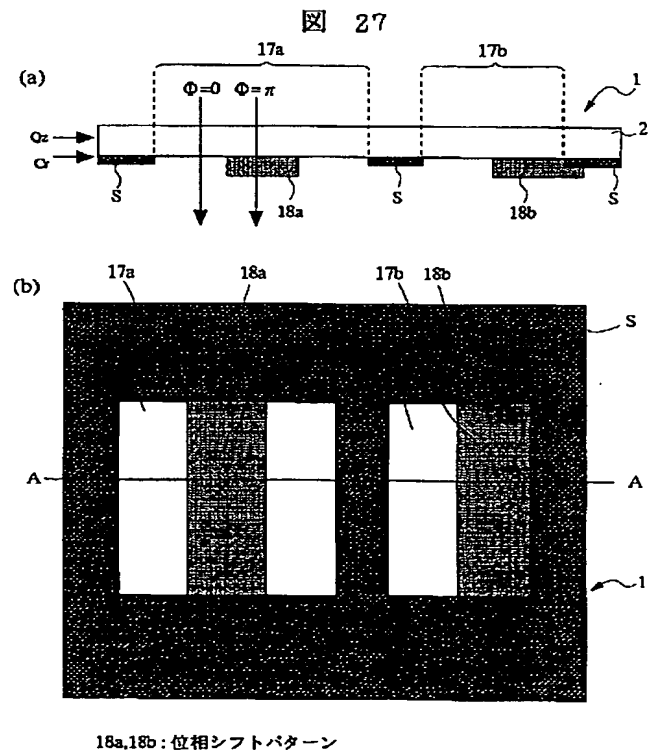
【図24】



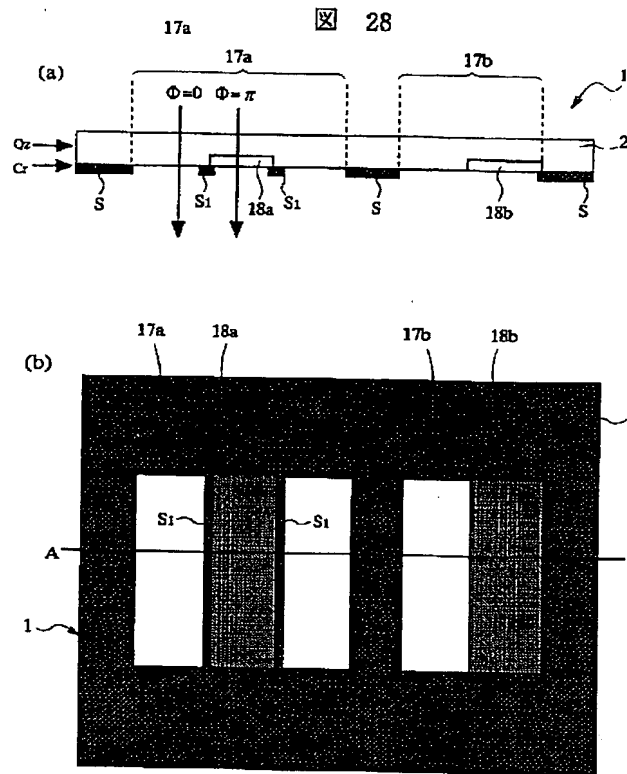
【図26】



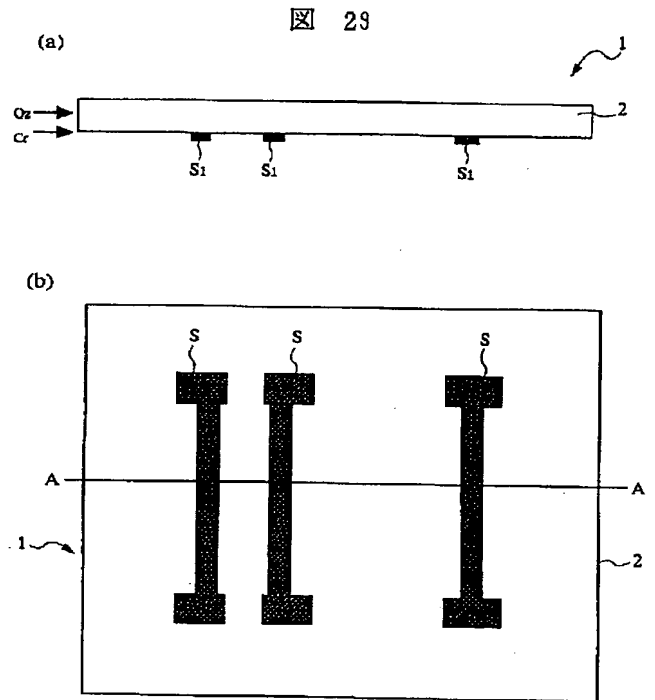
【図27】



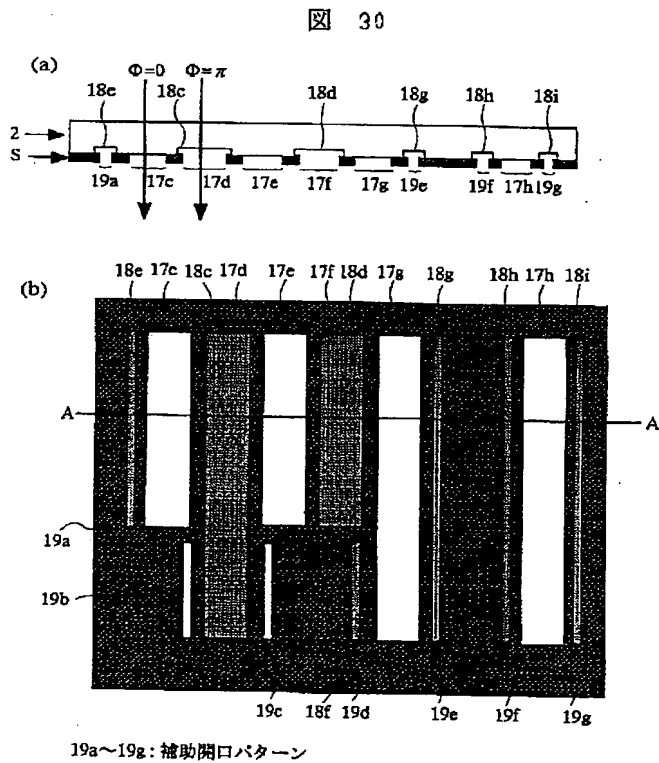
【図28】



【図29】

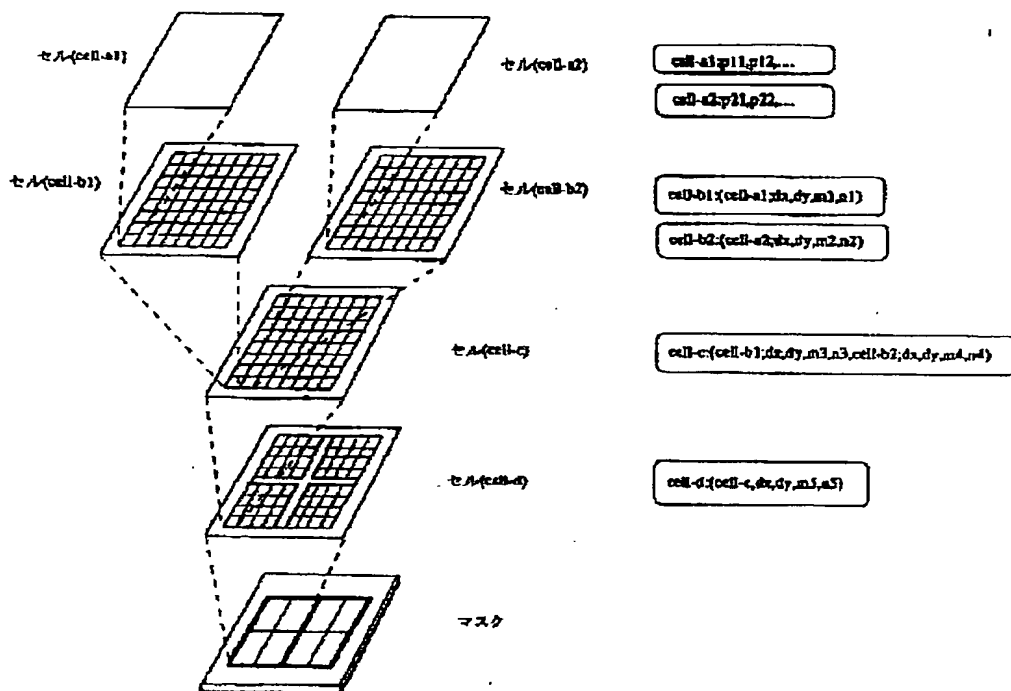


【図30】



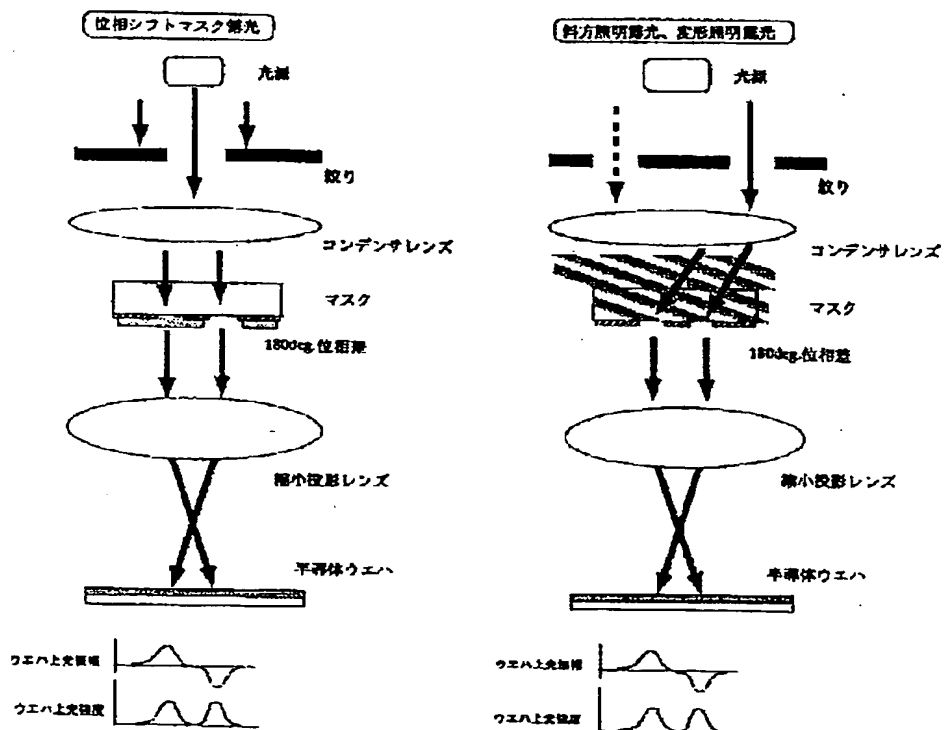
【図 3 2】

図 3 2



【図 3 3】

図 3 3



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**